

**LOONGSON**

**龙芯 2P0500 处理器**  
**数据手册**

**V1.0**

2024 年 01 月

龙芯中科技术股份有限公司

自主决定命运, 创新成就未来

北京市海淀区温泉镇中关村环保科技示范园龙芯产业园2号楼 100095  
Loongson Industrial Park, building 2, Zhongguancun environmental protection park  
Haidian District, Beijing



www.loongson.cn

## 版权声明

本档版权归龙芯中科技术股份有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

## 免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因档使用不当造成的直接或间接损失，本公司不承担任何责任。

## 龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park, Zhongguancun Environmental Protection Park, 电话(Tel): 010-62546668

传真(Fax): 010-62600826

## 阅读指南

《龙芯 2P0500 处理器数据手册》主要介绍龙芯 2P0500 处理器接口结构，特性，电气规范，以及硬件设计指导。

## 版本信息

| 文档更新记录 | 文档名  | 龙芯 2P0500 处理器数据手册 |
|--------|------|-------------------|
|        | 版本号  | V1.0              |
|        | 创建人  | 芯片研发部             |
| 更新历史   |      |                   |
| 序号     | 版本号  | 更新内容              |
| 1      | V1.0 | 发布版本              |

手册信息反馈: [service@loongson.cn](mailto:service@loongson.cn)

## 目 录

|                      |    |
|----------------------|----|
| 目 录.....             | I  |
| 图目录.....             | V  |
| 表目录.....             | VI |
| 1 概述.....            | 1  |
| 1.1 体系结构框图.....      | 2  |
| 1.2 芯片特性.....        | 2  |
| 1.2.1 处理器核.....      | 2  |
| 1.2.2 内存控制器.....     | 3  |
| 1.2.3 USB 控制器.....   | 3  |
| 1.2.4 GMAC 控制器.....  | 3  |
| 1.2.5 SPI 控制器.....   | 3  |
| 1.2.6 UART.....      | 4  |
| 1.2.7 I2C 总线.....    | 4  |
| 1.2.8 打印接口.....      | 4  |
| 1.2.9 扫描接口.....      | 4  |
| 1.2.10 DA 接口.....    | 4  |
| 1.2.11 PMIO 接口.....  | 5  |
| 1.2.12 PWM 接口.....   | 5  |
| 1.2.13 SDIO 接口.....  | 5  |
| 1.2.14 HPET.....     | 5  |
| 1.2.15 RTC.....      | 5  |
| 1.2.16 GPIO 接口.....  | 5  |
| 1.2.17 Watchdog..... | 5  |
| 1.2.18 温度传感器.....    | 6  |
| 1.2.19 中断控制器.....    | 6  |
| 1.3 订购信息.....        | 6  |
| 1.4 文档约定.....        | 6  |
| 1.4.1 信号命名.....      | 6  |
| 1.4.2 信号类型.....      | 6  |
| 1.4.3 数值表示.....      | 7  |
| 1.4.4 寄存器域.....      | 7  |
| 2 引脚定义.....          | 8  |

|       |                    |    |
|-------|--------------------|----|
| 2.1   | DDR3 接口.....       | 8  |
| 2.2   | GMAC 接口.....       | 8  |
| 2.3   | USB 接口.....        | 9  |
| 2.4   | SPI 接口.....        | 9  |
| 2.5   | UART 接口.....       | 10 |
| 2.6   | I2C 接口.....        | 11 |
| 2.7   | PRINTER 接口.....    | 11 |
| 2.8   | SCANNER 接口.....    | 12 |
| 2.9   | DA 接口.....         | 12 |
| 2.10  | SDIO 接口.....       | 12 |
| 2.11  | PMIO 接口.....       | 12 |
| 2.12  | PWM 接口.....        | 12 |
| 2.13  | 电源地.....           | 13 |
| 2.14  | 测试接口.....          | 13 |
| 2.15  | JTAG 接口.....       | 13 |
| 2.16  | 系统相关信号.....        | 14 |
| 2.17  | 上电配置信号.....        | 14 |
| 2.18  | 外设功能引脚复用.....      | 14 |
| 3     | 功能描述.....          | 19 |
| 3.1   | DDR3 控制器.....      | 19 |
| 3.1.1 | DDR3 接口工作频率范围..... | 19 |
| 3.1.2 | DDR3 控制器特性.....    | 19 |
| 3.2   | USB.....           | 20 |
| 3.3   | OTG.....           | 20 |
| 3.4   | GMAC.....          | 20 |
| 3.5   | SPI.....           | 20 |
| 3.6   | UART.....          | 22 |
| 3.7   | I2C.....           | 23 |
| 3.8   | PRINTER.....       | 23 |
| 3.9   | SCANNER.....       | 23 |
| 3.10  | DA.....            | 23 |
| 3.11  | SDIO.....          | 23 |
| 3.12  | PMIO.....          | 24 |
| 3.13  | PWM.....           | 24 |

|                                  |    |
|----------------------------------|----|
| 3.14 GPIO.....                   | 24 |
| 3.15 HPET.....                   | 24 |
| 3.16 RTC.....                    | 25 |
| 3.17 电源管理.....                   | 25 |
| 4 初始化时序.....                     | 26 |
| 4.1 冷启动上电时序.....                 | 26 |
| 4.2 热复位时序.....                   | 27 |
| 5 电气特性.....                      | 28 |
| 5.1 电源.....                      | 28 |
| 5.1.1 推荐工作条件.....                | 28 |
| 5.1.2 绝对最大额定值.....               | 28 |
| 5.1.3 功耗状态及优化.....               | 29 |
| 5.2 参考时钟.....                    | 29 |
| 5.2.1 单端参考时钟.....                | 29 |
| 5.2.2 差分参考时钟.....                | 30 |
| 5.3 DDR3 内存接口特性.....             | 31 |
| 5.3.1 推荐的直流工作条件.....             | 31 |
| 5.3.2 交流和直流逻辑输入电平.....           | 31 |
| 5.3.3 交流和直流逻辑输出电平.....           | 33 |
| 5.3.4 IDD 和 IDDQ 规范的参数和测试条件..... | 39 |
| 5.3.5 输入/输出电容.....               | 40 |
| 5.3.6 刷新参数.....                  | 40 |
| 5.3.7 标准的速度分级.....               | 40 |
| 5.3.8 DDR3 的时序参数.....            | 44 |
| 5.4 RGMII 接口特性.....              | 50 |
| 5.4.1 RGMII 接口直流特性.....          | 50 |
| 5.4.2 RGMII 接口时序.....            | 51 |
| 5.5 USB 接口特性.....                | 51 |
| 5.6 SPI FLASH 接口特性.....          | 55 |
| 5.7 I2C 接口特性.....                | 55 |
| 6 热特性.....                       | 56 |
| 6.1 热参数.....                     | 56 |
| 6.2 焊接温度.....                    | 56 |
| 7 芯片引脚排列和封装.....                 | 58 |

|                 |    |
|-----------------|----|
| 7.1 引脚顶层排列..... | 58 |
| 7.2 封装尺寸.....   | 64 |
| 8 不使用引脚的处理..... | 66 |
| 9 产品标识.....     | 67 |



## 图目录

|   |    |
|---|----|
| 图 1.1 龙芯 2P0500 结构图.....                        | 2  |
| 图 3.1 SPI 主控制器接口时序.....                         | 21 |
| 图 3.2 SPI Flash 标准读时序.....                      | 21 |
| 图 3.3 SPI Flash 快速读时序.....                      | 22 |
| 图 3.4 SPI Flash 双向 I/O 读时序.....                 | 22 |
| 图 4.1 冷启动上电时序波形.....                            | 26 |
| 图 4.2 热复位时序图.....                               | 27 |
| 图 5.1 单端参考时钟波形.....                             | 29 |
| 图 5.2 差分参考时钟波形.....                             | 30 |
| 图 5.3 ac-swing 和 ac-level 时间点 (tDVA) 的差分定义..... | 32 |
| 图 5.4 Vix 定义.....                               | 33 |
| 图 5.5 单端输出斜率的定义.....                            | 34 |
| 图 5.6 差分输出斜率的定义.....                            | 35 |
| 图 5.7 地址和控制的上升和下降定义.....                        | 36 |
| 图 5.8 时钟, 数据, 选通和屏蔽信号的交流上升和下降定义.....            | 36 |
| 图 5.9 tAON 的定义.....                             | 37 |
| 图 5.10 tAONPD 的定义.....                          | 38 |
| 图 5.11 tAOF 的定义.....                            | 38 |
| 图 5.12 tAOFPD 的定义.....                          | 38 |
| 图 5.13 tADC 的定义.....                            | 39 |
| 图 5.14 RGMII 接口时序.....                          | 51 |
| 图 5.15 I2C 接口时序.....                            | 55 |
| 图 6.1 焊接回流曲线.....                               | 57 |
| 图 7.1 顶层引脚排布总览.....                             | 58 |
| 图 7.2 封装外形图.....                                | 64 |
| 图 9.1 产品标识图.....                                | 67 |

## 表目录

|   |    |
|---|----|
| 表 1-1 订购信息表.....  | 6  |
| 表 1-2 信号类型描述表.....  | 6  |
| 表 2-1 主系统功能引脚复用关系表.....                                   | 15 |
| 表 2-2 打印系统功能引脚复用关系表.....                                  | 16 |
| 表 2-3 扫描系统功能引脚复用关系表.....                                  | 17 |
| 表 4-1 冷启动上电时序要求.....                                      | 26 |
| 表 4- 2 热复位时序约束.....                                       | 27 |
| 表 5-1 推荐的工作电源电压.....                                      | 28 |
| 表 5-2 绝对最大额定值.....  | 28 |
| 表 5-3 芯片功耗模式.....   | 29 |
| 表 5-4 推荐的直流工作条件.....                                      | 31 |
| 表 5-5 控制信号和地址单端信号的交流和直流输入电平.....                          | 31 |
| 表 5-6 DQ 和 DM 单端信号的交流和直流输入电平.....                         | 31 |
| 表 5-7 交流和直流的差分输入电平.....                                   | 32 |
| 表 5-8 差分输入信号(CK, DQS)交叉点电压.....                           | 33 |
| 表 5-9 单端信号的交流直流输出电平.....                                  | 33 |
| 表 5-10 差分信号的交流和直流输出电平.....                                | 33 |
| 表 5-11 单端信号输出斜率的定义.....                                   | 34 |
| 表 5-12 单端的输出斜率.....                                       | 34 |
| 表 5-13 差分输出斜率的定义.....                                     | 34 |
| 表 5-14 差分输出斜率.....  | 35 |
| 表 5-15 地址和控制引脚的交流上冲/下冲规范.....                             | 35 |
| 表 5-16 时钟, 数据, 选通和屏蔽信号的交流上冲/下冲规范.....                     | 36 |
| 表 5-17 ODT 时序定义.....                                      | 36 |
| 表 5-18 ODT 时序测量的参考设置.....                                 | 37 |
| 表 5-19 IDD 和 IDDQ 测量循环模式的时序.....                          | 39 |
| 表 5-20 输入/输出电容.....                                       | 40 |
| 表 5-21 DDR3 刷新参数.....                                     | 40 |
| 表 5-22 DDR3-800 Speed Bins and Operating Conditions.....  | 40 |
| 表 5-23 DDR3-1066 Speed Bins and Operating Conditions..... | 41 |
| 表 5-24 DDR3-1333 Speed Bins and Operating Conditions..... | 42 |
| 表 5-25 DDR3-1600 Speed Bins and Operating Conditions..... | 43 |

|  |    |
|--|----|
| 表 5-26 Timing Parameters by Speed Bin..... | 44 |
| 表 5-27 RGMII 接口输出特性.....                   | 50 |
| 表 5-28 RGMII 接口输入特性.....                   | 51 |
| 表 5-29 RGMII 接口时序.....                     | 51 |
| 表 5-30 USB 直流电气特性.....                     | 52 |
| 表 5-31 USB 高速源电气特性.....                    | 53 |
| 表 5-32 USB 全速源电气特性.....                    | 53 |
| 表 5-33 USB 低速源电气特性.....                    | 54 |
| 表 5-34 SPI Flash 接口时序.....                 | 55 |
| 表 5-35 I2C 接口时序.....                       | 55 |
| 表 6-1 热特性参数和推荐的最大值.....                    | 56 |
| 表 6-2 回流焊接温度分类表.....                       | 56 |
| 表 7-1 顶层引脚排列.....                          | 59 |
| 表 7-2 封装外形尺寸.....                          | 65 |
| 表 8-1 不使用引脚推荐处理表.....                      | 66 |

## 1 概述

龙芯 2P0500 芯片是一款适用于单/多功能打印机主控 SOC 芯片，支持打印、扫描、网络等常用政企办公需求，支持 A4 常用打印纸张幅面的图像处理。龙芯 2P0500 打印主控芯片是打印整机中核心控制部件，主要用于打印数据接收、解析和处理，打印引擎控制，扫描时序控制，扫描数据处理，图像处理及马达控制等。

龙芯 2P0500 的主要特征如下：

- 集成一个 LA364 三发射龙芯处理器核，L1 Cache(I/D) 32KB，L2 Cache 512KB，最高频率 700MHz
- 集成两个 LA132 单发射龙芯处理器核，最高频率 400MHz
- 集成 1 个 32 位 DDR3 控制器
- 集成 2 个 10M/100M/1000M 自适应 GMAC，支持 RGMII/MII
- 集成 3 个 USB2.0 HOST 接口，其中 1 个可配置为 OTG 接口
- 集成 4 个 SPI 控制器，1 路支持系统启动
- 集成 1 个打印控制器，支持 8 路 LSU 机芯控制
- 集成 1 个扫描控制器，支持 1 路 AFE/CIS 控制
- 集成 1 个 4 路 8 位 DA 接口
- 集成 4 路 I2C 控制器
- 集成 8 路 UART 控制器
- 集成 2 个 SDIO 控制器
- 集成 40 路 PWM 控制器
- 集成 3 组 PMIO 控制器
- 集成 139 路复用 GPIO
- 集成 1 个温度传感器
- 集成 RTC/HPET
- 集成看门狗电路
- 集成动态功耗控制模块，支持 DFS/DPM
- 集成中断控制器，支持灵活的中断设置



## 1.1 体系结构框图

龙芯 2P0500 内部采用多级总线结构。一级交叉开关连接一个处理器核、一个二级 Cache 以及 IO 子网络（Cache 访问路径）。二级 Cache 及 IODMA、内存控制器、GMAC、USB、IMAGE、PRINT、SCAN 等设备共享系统互连网络。低速外设（I2C、UART 等）作为一个集合加在南桥总线上。

龙芯 2P0500 芯片结构图如图 1-1 所示：

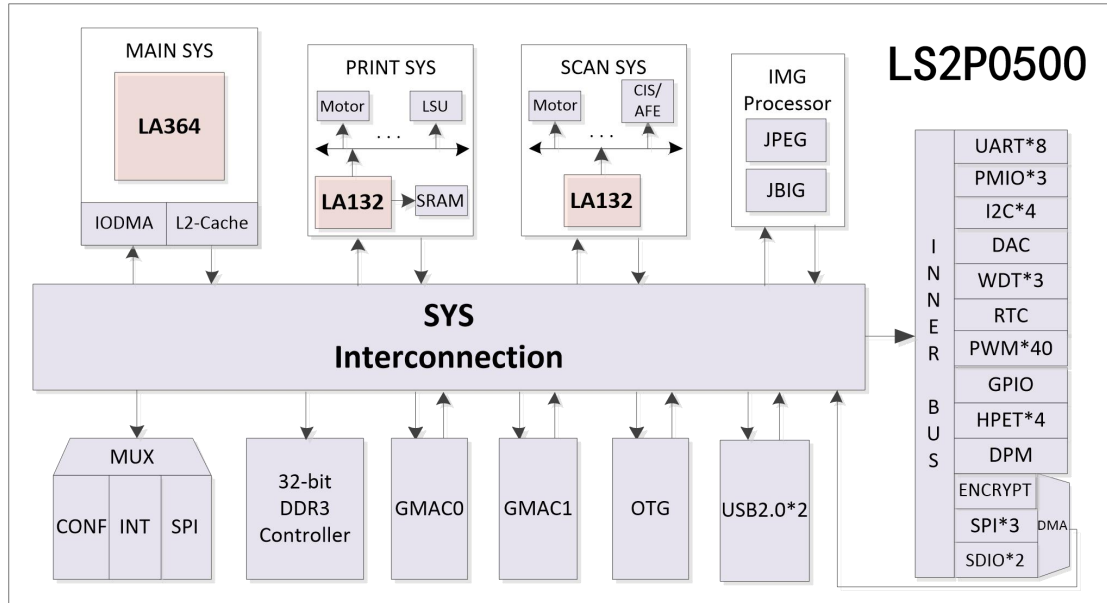


图 1.1 龙芯 2P0500 结构图

## 1.2 芯片特性

### 1.2.1 处理器核

- LA364、LA132
- LoongArch 体系结构兼容
- 包括 1 个全流水的 64 位双精度浮点乘加部件
- 32KB 数据 Cache 和 32KB 的指令 Cache
- 512KB 共享二级 Cache
- 通过目录协议维护 I/O DMA 访问的 Cache 一致性
- JTAG 支持



### 1.2.2 内存控制器

- 32 位 DDR3 控制器，典型工作频率 400MHz
- 不支持 ECC
- 可配置为 32/16 位模式
- 支持命令调度

### 1.2.3 USB 控制器

- 3 个独立的 USB2.0 的 HOST 端口
- 其中 1 端口可配置为 OTG 模式
- 兼容 USB1.1、USB2.0
- 内部 EHCI 控制和实现高速传输可达 480Mbps
- 内部 OHCI 控制和实现全速和低速传输
- 低功耗管理

### 1.2.4 GMAC 控制器

- 两路 10/100/1000Mbps 自适应以太网 MAC
- 双网卡均兼容 IEEE 802.3
- 对外部 PHY 实现 RGMII/MII 接口
- 半双工/全双工自适应
- Timestamp 功能
- 半双工时，支持碰撞检测与重发（CSMA/CD）协议
- 支持 CRC 校验码的自动生成与校验，支持前置符生成与删除

### 1.2.5 SPI 控制器

- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 主模式支持
- 支持到 4 个的变长字节传输
- 支持系统启动(仅 SPI0 支持)
- 支持标准读、连续地址读、快速读、双路 I/O 等 SPI Flash 读模式

### 1.2.6 UART

- 1 个全功能 UART 和流控 TXD,RXD,CTS, RTS, DSR,DTR,DCD, RI
- 最多 8 个 UART 接口
- 两路全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统

### 1.2.7 I<sup>2</sup>C 总线

- 履行双向同步串行协议
- 实现主/从设备操作
- 能够支持多主设备的总线
- 总线的时钟频率可编程
- 可以产生开始/停止/应答等操作
- 能够对总线的状态进行探测
- 支持低速和快速模式
- 支持 7 位寻址和 10 位寻址
- 支持时钟延伸和等待状态

### 1.2.8 打印接口

- 支持 JBIG85 解码
- 支持 8 路独立机芯控制
- 支持四色彩打功能

### 1.2.9 扫描接口

- 支持 JPEG 编码
- 支持 1 路 AFE、CIS 控制

### 1.2.10 DA 接口

- 支持 4 路 8 位 DA 接口



### 1.2.11 PMIO 接口

- 3 组 PMIO 控制器
- 支持共 80 路可编程多功能 IO

### 1.2.12 PWM 接口

- 32 位计数器
- 支持脉冲生成及捕获
- 40 路控制器

### 1.2.13 SDIO 接口

- 2 路独立 SDIO 控制器
- 1 路支持 SDIO 系统启动(SDIO0 支持启动, 可配置为 eMMC 模式)

### 1.2.14 HPET

- 32 位计数器
- 支持 1 个周期性中断
- 支持 2 个非周期性中断

### 1.2.15 RTC

- 计时精确到 0.1 秒
- 可产生 3 个计时中断

### 1.2.16 GPIO 接口

- 139 位复用 GPIO 引脚
- 支持外部中断输入
- 与其他接口复用, 使用各个接口电压域

### 1.2.17 Watchdog

- 32 比特计数器及初始化寄存器
- 低功耗模式暂停功能





### 1.2.18 温度传感器

- 温度观测(芯片结温)，推荐使用温度范围：-10°C~70°C(工业级温度不建议使用)
- 高低温中断

### 1.2.19 中断控制器

- 支持软件设置中断
- 支持电平与边沿触发
- 支持中断屏蔽与使能
- 支持多种中断分发模式

## 1.3 订购信息

表 1-1 订购信息表

| 芯片型号       | 封装 | 工作温度(壳温)   | 质量等级 |
|------------|----|------------|------|
| LS2P0500   | 塑封 | -10°C-70°C | 商业级  |
| LS2P0500-i | 塑封 | -40°C-85°C | 工业级  |

## 1.4 文档约定

### 1.4.1 信号命名

信号名的选取以方便记忆和明确标识功能为原则。低有效信号以 N/n 结尾，高有效信号则不带 N/n。如无特别说明，以 RTC 开头的信号位于 RTC 域，其它信号位于 SOC 域。

### 1.4.2 信号类型

表 1-2 信号类型描述表

| 代码       | 描述   |
|----------|------|
| A        | 模拟   |
| DIFF I/O | 双向差分 |
| DIFF IN  | 差分输入 |
| DIFF OUT | 差分输出 |
| I        | 输入   |
| I/O      | 双向   |
| O        | 输出   |
| OD       | 开漏输出 |



| 代码 | 描述 |
|----|----|
| P  | 电源 |
| G  | 地  |

### 1.4.3 数值表示

16 进制数表示为'hxxx，2 进制数表示为'bxx，其它数字为 10 进制。

功能相同但标号有别的引脚（如 DDR\_DQ0, DDR\_DQ1, ...）使用方括号加数字范围的形式简写（如 DDR\_DQ[31:0]）。类似地，寄存器域也采用这种表示方式。

### 1.4.4 寄存器域

寄存器域以[寄存器名].[域名]的形式加以引用。如 chip\_config0. uart\_split 指芯片配置寄存器 0（chip\_config0）的 uart\_split 域。



## 2 引脚定义

### 2.1 DDR3 接口

| 信号名称                           | 类型       | 复位状态 | 描述                      | 电源        | 内部上下拉 | 驱动大小 |
|--------------------------------|----------|------|-------------------------|-----------|-------|------|
| DDR_DQ[31:0]                   | I/O      | 'hx  | DDR3 SDRAM 数据总线信号       | VDDIO_DDR | -     | 8mA  |
| DDR_DQSP[3:0]<br>DDR_DQSN[3:0] | DIFF I/O | 'hx  | DDR3 SDRAM 数据选通         | VDDIO_DDR | -     | 8mA  |
| DDR_DQM[3:0]                   | O        | 'hx  | DDR3 SDRAM 数据屏蔽         | VDDIO_DDR | -     | 8mA  |
| DDR_A[15:0]                    | O        | 'hx  | DDR3 SDRAM 地址总线信号       | VDDIO_DDR | -     | 8mA  |
| DDR_BA[2:0]                    | O        | 'hx  | DDR3 SDRAM 逻辑 BANK 地址信号 | VDDIO_DDR | -     | 8mA  |
| DDR_WEN                        | O        | 'hx  | DDR3 SDRAM 写使能信号        | VDDIO_DDR | -     | 8mA  |
| DDR_CASN                       | O        | 'hx  | DDR3 SDRAM 列地址选择信号      | VDDIO_DDR | -     | 8mA  |
| DDR_RASN                       | O        | 'hx  | DDR3 SDRAM 行地址选择信号      | VDDIO_DDR | -     | 8mA  |
| DDR_SCSN0                      | O        | 'hx  | DDR3 SDRAM 片选信号         | VDDIO_DDR | -     | 8mA  |
| DDR_CKE0                       | O        | 'hx  | DDR3 SDRAM 时钟使能信号       | VDDIO_DDR | -     | 8mA  |
| DDR_CKP0<br>DDR_CKN0           | DIFF OUT | 'hx  | DDR3 SDRAM 差分时钟输出信号     | VDDIO_DDR | -     | 8mA  |
| DDR_ODT0                       | O        | 'hx  | DDR3 SDRAM ODT 信号       | VDDIO_DDR | -     | 8mA  |
| DDR_RESETN                     | O        | 'hx  | DDR3 SDRAM 复位控制信号       | VDDIO_DDR | -     | 8mA  |

### 2.2 GMAC 接口

| 信号名称               | 类型  | 复位状态 | 描述                               | 电源      | 内部上下拉 | 驱动大小 |
|--------------------|-----|------|----------------------------------|---------|-------|------|
| GMAC[1:0]_TX_CLK_O | O   | 'h0  | RGMI I 发送时钟输出                    | VDD_3V3 | -     | 8mA  |
| GMAC[1:0]_TX_CLK_I | I   | -    | RGMI I 发送时钟输入 (125MHz 备选时钟, 可不接) | VDD_3V3 | -     | -    |
| GMAC0_TX_CTL       | O   | 'h0  | RGMI I 发送控制                      | VDD_3V3 | -     | 8mA  |
| GMAC0_TXD[3:0]     | O   | 'h0  | RGMI I 发送数据                      | VDD_3V3 | -     | 8mA  |
| GMAC[1:0]_RX_CLK_I | I   | -    | RGMI I 接收时钟                      | VDD_3V3 | -     | -    |
| GMAC0_RX_CTL       | I   | -    | RGMI I 接收控制                      | VDD_3V3 | -     | -    |
| GMAC0_RXD[3:0]     | I   | -    | RGMI I 接收数据                      | VDD_3V3 | -     | -    |
| GMAC0_MDCK         | O   | 'h0  | SMA 接口时钟, 外部需上拉处理                | VDD_3V3 | -     | 8mA  |
| GMAC0_MDIO         | I/O | 'hx  | SMA 接口数据, 外部需上拉处理                | VDD_3V3 | -     | 8mA  |

2P0500 通过相应模式配置可以实现 RGMII、MII 两种接口, 其中两种接口定义差异如下:



| 信号名称          | RGMII 接口模式        | MII 接口模式                |
|---------------|-------------------|-------------------------|
| GMAC_TX_CTL   | GMAC_TX_CTL       | GMAC_TX_EN              |
| GMAC_RX_CTL   | GMAC_RX_CTL       | GMAC_RX_DV              |
| GMAC_TX_CLK_O | GMAC_TX_CLK_O(输出) | GMAC_RX_ER(输入)          |
| -             | -                 | GMAC_COL(新增引脚, 由其他引脚复用) |
| -             | -                 | GMAC_CRS(新增引脚, 由其他引脚复用) |

## 2.3 USB 接口

| 信号名称                       | 类型  | 复位状态 | 描述   | 电源          | 内部上下拉 |
|----------------------------|-----|------|--|-------------|-------|
| USB[1:0]_XI<br>USB[1:0]_XO | I/O | -    | 12MHz 参考时钟(可由软件选择晶体/晶振, 晶振单端时钟由 X0 管脚输入, XI 管脚需接地) | VDD_3V3_USB | -     |
| USB[1:0]_TXRTUNE           | A   | -    | 参考电阻, 通过 200ohm/1%电阻连接到地                           | VDD_3V3_USB | -     |
| USB[1:0]_DP                | I/O | 'h0  | USB D+, 内部集成下拉电阻, 外部可不做处理                          | VDD_3V3_USB | -     |
| USB[1:0]_DM                | I/O | 'h0  | USB D-, 内部集成下拉电阻, 外部可不做处理                          | VDD_3V3_USB | -     |
| USB[1:0]_OVRCUR            | I   | -    | USB0~1 过流检测, 需注意该信号为高有效                            | VDD_3V3_USB | -     |
| OTG_XI<br>OTG_XO           | I   | -    | 12MHz 参考时钟(可由软件选择晶体/晶振, 晶振单端时钟由 X0 管脚输入, XI 管脚需接地) | VDD_3V3_USB | -     |
| OTG_TXRTUNE                | A   | -    | OTG 参考电阻, 通过 200ohm/1%电阻连接到地                       | VDD_3V3_USB | -     |
| OTG_DP                     | I/O | 'h0  | OTG D+, 内部集成下拉电阻, 外部可不做处理                          | VDD_3V3_USB | -     |
| OTG_DM                     | I/O | 'h0  | OTG D-, 内部集成下拉电阻, 外部可不做处理                          | VDD_3V3_USB | -     |
| OTG_DRVBUS                 | O   | 'h0  | OTG_VBUS 电源使能控制信号输出                                | VDD_3V3_USB | -     |
| OTG_ID                     | I   | -    | OTG ID 输入  | VDD_3V3_USB | -     |
| OTG_VBUS                   | A   | -    | OTG VBUS 5V 输入                                     | VBUS_5V     | -     |

## 2.4 SPI 接口

| 信号名称          | 类型 | 复位状态 | 描述                 | 电源      | 内部上下拉 | 驱动大小 |
|---------------|----|------|--------------------|---------|-------|------|
| SPI[1:0]_CLK  | O  | 'h0  | SPI0~1 时钟输出        | VDD_3V3 | -     | 8mA  |
| SPI[1:0]_CSN  | O  | 'hx  | SPI0~1 片选, 外部需上拉处理 | VDD_3V3 | -     | 8mA  |
| SPI[1:0]_MOSI | O  | 'hx  | SPI0~1 数据输出        | VDD_3V3 | 上拉    | 8mA  |
| SPI[1:0]_MISO | I  | -    | SPI0~1 数据输入        | VDD_3V3 | 上拉    | -    |
| PRT_SPI_CLK   | O  | 'h0  | 打印系统 SPI 时钟输出      | VDD_3V3 | -     | 8mA  |



| 信号名称         | 类型 | 复位状态 | 描述                   | 电源      | 内部上下拉 | 驱动大小 |
|--------------|----|------|----------------------|---------|-------|------|
| PRT_SPI_CSN  | O  | 'hx  | 打印系统 SPI 片选, 外部需上拉处理 | VDD_3V3 | -     | 8mA  |
| PRT_SPI_MOSI | O  | 'hx  | 打印系统 SPI 数据输出        | VDD_3V3 | 上拉    | 8mA  |
| PRT_SPI_MISO | I  | -    | 打印系统 SPI 数据输入        | VDD_3V3 | 上拉    | -    |
| SCA_SPI_CLK  | O  | 'h0  | 扫描系统 SPI 时钟输出        | VDD_3V3 | -     | 8mA  |
| SCA_SPI_CSN  | O  | 'hx  | 扫描系统 SPI 片选, 外部需上拉处理 | VDD_3V3 | -     | 8mA  |
| SCA_SPI_MOSI | O  | 'hx  | 扫描系统 SPI 数据输出        | VDD_3V3 | 上拉    | 8mA  |
| SCA_SPI_MISO | I  | -    | 扫描系统 SPI 数据输入        | VDD_3V3 | 上拉    | -    |

## 2.5 UART 接口

| 信号名称          | 类型 | 复位状态 | 描述          | 电源      | 内部上下拉 | 驱动大小 |
|---------------|----|------|-------------|---------|-------|------|
| UART[1:0]_TXD | O  | 'h1  | 串口 0~1 数据输出 | VDD_3V3 | -     | 2mA  |
| UART[1:0]_RXD | I  | -    | 串口 0~1 数据输入 | VDD_3V3 | -     | -    |
| PRT_UART_TXD  | O  | 'h1  | 打印系统串口数据输出  | VDD_3V3 | -     | 2mA  |
| PRT_UART_RXD  | I  | -    | 打印系统串口数据输入  | VDD_3V3 | -     | -    |
| SCA_UART_TXD  | O  | 'h1  | 扫描系统串口数据输出  | VDD_3V3 | -     | 2mA  |
| SCA_UART_RXD  | I  | -    | 扫描系统串口数据输入  | VDD_3V3 | -     | -    |

2P0500 通过引脚复用配置可以实现一个独立的全功能串口(UART0), 一个独立的四线串口(UART1)。其中, UART0 全功能串口通过设置可以工作在 2x4 和 4x2 模式, 各种模式的管脚对应关系如下。其它引脚复用的 UART 接口的内部复用关系也如下表所示。

| 1x8      | 2x4      | 4x2      |
|----------|----------|----------|
| TXD0 (O) | TXD0 (O) | TXD0 (O) |
| RTS0 (O) | RTS0 (O) | TXD3 (O) |
| DTR0 (O) | TXD1 (O) | TXD1 (O) |
| RXD0 (I) | RXD0 (I) | RXD0 (I) |
| CTS0 (I) | CTS0 (I) | RXD3 (I) |
| DSR0 (I) | RXD1 (I) | RXD1 (I) |
| DCD0 (I) | CTS1 (I) | RXD2 (I) |
| RI0 (I)  | RTS1 (O) | TXD2 (O) |

UART1 四线串口通过设置可以工作在 1x4 和 2x2 模式, 各种模式的管脚对应关系如下。

| 1x4      | 2x2      |
|----------|----------|
| TXD1 (O) | TXD1 (O) |
| RTS1 (O) | TXD3 (O) |
| RXD1 (I) | RXD1 (I) |
| CTS1 (I) | RXD3 (I) |



## 2.6 I<sup>2</sup>C 接口

| 信号名称             | 类型  | 复位状态 | 描述                     | 电源      | 内部上下拉 | 驱动大小 |
|------------------|-----|------|------------------------|---------|-------|------|
| I2C[1:0]_SCL     | O   | 'hx  | I2C0~1 时钟，外部需上拉处理      | VDD_3V3 | -     | 2mA  |
| I2C[1:0]_SDA     | I/O | 'hx  | I2C0~1 数据，外部需上拉处理      | VDD_3V3 | -     | 2mA  |
| PRT_I2C[1:0]_SCL | O   | 'hx  | 打印系统 I2C0~1 时钟，外部需上拉处理 | VDD_3V3 | -     | 2mA  |
| PRT_I2C[1:0]_SDA | I/O | 'hx  | 打印系统 I2C0~1 数据，外部需上拉处理 | VDD_3V3 | -     | 2mA  |

## 2.7 PRINTER 接口

| 信号名称             | 类型 | 复位状态 | 描述                               | 电源      | 内部上下拉 | 驱动大小      |
|------------------|----|------|----------------------------------|---------|-------|-----------|
| PRT_VIDOUT[15:0] | O  | 'hx  | 打印机机芯数据输出信号，支持 LVDS、TTL 两种电平信号模式 | VDD_3V3 | -     | 8mA (TTL) |

TTL 电平输出模式（软件配置关闭对应引脚 LVDS 输出模式）：

| 打印数据通道   | 打印输出引脚        | TTL 电平对应输出  |
|----------|---------------|-------------|
| 打印数据通道 0 | PRT_VIDOUT[0] | PRT_VIDOUT0 |
| 打印数据通道 1 | PRT_VIDOUT[1] | PRT_VIDOUT1 |
| 打印数据通道 2 | PRT_VIDOUT[2] | PRT_VIDOUT2 |
| 打印数据通道 3 | PRT_VIDOUT[3] | PRT_VIDOUT3 |
| 打印数据通道 4 | PRT_VIDOUT[4] | PRT_VIDOUT4 |
| 打印数据通道 5 | PRT_VIDOUT[5] | PRT_VIDOUT5 |
| 打印数据通道 6 | PRT_VIDOUT[6] | PRT_VIDOUT6 |
| 打印数据通道 7 | PRT_VIDOUT[7] | PRT_VIDOUT7 |

LVDS 电平输出模式（软件配置使能对应引脚 LVDS 输出模式）：

| 打印数据通道   | 打印输出引脚         | LVDS 电平对应输出    |
|----------|----------------|----------------|
| 打印数据通道 0 | PRT_VIDOUT[0]  | PRT_VIDOUT0_DP |
|          | PRT_VIDOUT[1]  | PRT_VIDOUT0_DN |
| 打印数据通道 1 | PRT_VIDOUT[2]  | PRT_VIDOUT1_DP |
|          | PRT_VIDOUT[3]  | PRT_VIDOUT1_DN |
| 打印数据通道 2 | PRT_VIDOUT[4]  | PRT_VIDOUT2_DP |
|          | PRT_VIDOUT[5]  | PRT_VIDOUT2_DN |
| 打印数据通道 3 | PRT_VIDOUT[6]  | PRT_VIDOUT3_DP |
|          | PRT_VIDOUT[7]  | PRT_VIDOUT3_DN |
| 打印数据通道 4 | PRT_VIDOUT[8]  | PRT_VIDOUT4_DP |
|          | PRT_VIDOUT[9]  | PRT_VIDOUT4_DN |
| 打印数据通道 5 | PRT_VIDOUT[10] | PRT_VIDOUT5_DP |
|          | PRT_VIDOUT[11] | PRT_VIDOUT5_DN |
| 打印数据通道 6 | PRT_VIDOUT[12] | PRT_VIDOUT6_DP |
|          | PRT_VIDOUT[13] | PRT_VIDOUT6_DN |
| 打印数据通道 7 | PRT_VIDOUT[14] | PRT_VIDOUT7_DP |
|          | PRT_VIDOUT[15] | PRT_VIDOUT7_DN |



## 2.8 SCANNER 接口

| 信号名称            | 类型 | 复位状态 | 描述                | 电源      | 内部上下拉 | 驱动大小 |
|-----------------|----|------|-------------------|---------|-------|------|
| SCA_AFECLK      | O  | 'h0  | 扫描 AFE 时钟输出信号     | VDD_3V3 | -     | 8mA  |
| SCA_PLS         | O  | 'h0  | 扫描 AFE PLS 脉冲输出信号 | VDD_3V3 | -     | 8mA  |
| SCA_AFED[7:0]   | I  | -    | 扫描 AFE 输入数据信号     | VDD_3V3 | -     | -    |
| SCA_CISCLK[2:0] | O  | 'h0  | 扫描 CIS 时钟输出信号     | VDD_3V3 | -     | 8mA  |
| SCA_CISPLS      | O  | 'h0  | 扫描 CISPLS 脉冲输出信号  | VDD_3V3 | -     | 8mA  |
| SCA_CISPWM      | O  | 'h0  | 扫描 CISPWM 脉冲输出信号  | VDD_3V3 | -     | 8mA  |

## 2.9 DA 接口

| 信号名称        | 类型 | 复位状态 | 描述            | 电源          | 内部上下拉 |
|-------------|----|------|---------------|-------------|-------|
| DCHOUT[3:0] | O  | 'h0  | 4 路 DA 模拟输出信号 | VDD_3V3_DAC | -     |

## 2.10 SDIO 接口

| 信号名称                | 类型  | 复位状态 | 描述                     | 电源      | 内部上下拉 | 驱动大小 |
|---------------------|-----|------|------------------------|---------|-------|------|
| SDIO[1:0]_CLK       | O   | 'h0  | SDIO0~1 时钟输出           | VDD_3V3 | -     | 8mA  |
| SDIO[1:0]_CMD       | I/O | 'hx  | SDIO0~1 命令输入输出，外部需上拉处理 | VDD_3V3 | 上拉    | 8mA  |
| SDIO[1:0]_DATA[3:0] | I/O | 'hx  | SDIO0~1 数据信号，外部需上拉处理   | VDD_3V3 | 上拉    | 8mA  |

## 2.11 PMIO 接口

| 信号名称            | 类型  | 复位状态 | 描述                  | 电源      | 内部上下拉 | 驱动大小 |
|-----------------|-----|------|---------------------|---------|-------|------|
| PRT_PM0IO[31:0] | I/O | 'hx  | 打印系统 PMI032 位信号输入输出 | VDD_3V3 | -     | 8mA  |
| SCA_PM1IO[15:0] | I/O | 'hx  | 扫描系统 PMI016 位信号输入输出 | VDD_3V3 | -     | 8mA  |
| PM2IO[15:0]     | I/O | 'hx  | 主系统 PMI016 位信号输入输出  | VDD_3V3 | -     | 8mA  |

## 2.12 PWM 接口

| 信号名称           | 类型  | 复位状态 | 描述              | 电源      | 内部上下拉 | 驱动大小       |
|----------------|-----|------|-----------------|---------|-------|------------|
| MAIN_PWM[15:0] | I/O | 'h0  | 主系统 PWM 信号输入输出  | VDD_3V3 | -     | 参考相应复用引脚驱动 |
| PRT_PWM[23:0]  | I/O | 'h0  | 打印系统 PWM 信号输入输出 | VDD_3V3 | -     | 参考相应复用引脚驱动 |



## 2.13 电源地

| 信号名称           | 类型 | 描述                      | 电压    |
|----------------|----|-------------------------|-------|
| VDD_CORE       | P  | CORE 域 1.1V 供电电源        | 1.1V  |
| VDD_1V1_USB    | P  | USB PHY 接口电压域 1.1V 供电电源 | 1.1V  |
| VDD_NODE_PLL   | P  | PLL 模拟电压 1.2V 供电电源      | 1.2V  |
| VDD_DDR_PLL    | P  | PLL 模拟电压 1.2V 供电电源      | 1.2V  |
| VDD_SOC_PLL    | P  | PLL 模拟电压 1.2V 供电电源      | 1.2V  |
| VDDIO_DDR      | P  | DDR3 电压域 1.5V 供电电源      | 1.5V  |
| DDR_VREF       | P  | DDR3 参考电源               | 0.75V |
| VDD_3V3        | P  | IO PAD 电压域 3.3V 供电电源    | 3.3V  |
| VDD_3V3_USB    | P  | USB PHY 电压域 3.3V 供电电源   | 3.3V  |
| VDD_RTC        | P  | RTC 电压域供电电源             | 2.7V  |
| VDD_3V3_DAC    | P  | DA 接口 3.3V 供电电源         | 3.3V  |
| VDD_3V3_LVDS   | P  | LVDS 接口 3.3V 供电电源       | 3.3V  |
| VDD_3V3_THSENS | P  | THSENS 3.3V 供电电源        | 3.3V  |
| VSS            | G  | 接地                      | 0V    |
| VSS_RTC        | G  | RTC 地                   | 0V    |
| VSS_DAC        | G  | DAC 模拟地                 | 0V    |
| VSS_LVDS       | G  | LVDS 模拟地                | 0V    |
| VSS_NODE_PLL   | G  | NODE PLL 模拟地            | 0V    |
| VSS_DDR_PLL    | G  | DDR PLL 模拟地             | 0V    |
| VSS_SOC_PLL    | G  | SOC PLL 模拟地             | 0V    |

## 2.14 测试接口

| 信号名称    | 类型 | 复位状态 | 描述                                     | 电源      | 上下拉 |
|---------|----|------|--|---------|-----|
| DOTESTn | I  | -    | 测试模式控制 (RTC 电压域)<br>0: 测试模式<br>1: 功能模式 | RTC_VDD | -   |

## 2.15 JTAG 接口

| 信号名称      | 类型 | 复位状态 | 描述                               | 电源     | 上下拉 | 驱动大小 |
|-----------|----|------|----------------------------------|--------|-----|------|
| JTAG_SEL  | I  | -    | JTAG 选择 (0: 测试 JTAG, 1: 功能 JTAG) | IO_3V3 | 上拉  | -    |
| JTAG_TCK  | I  | -    | JTAG 时钟                          | IO_3V3 | -   | -    |
| JTAG_TDI  | I  | -    | JTAG 数据输入, 外部需上拉处理               | IO_3V3 | 上拉  | -    |
| JTAG_TMS  | I  | -    | JTAG 模式, 外部需上拉处理                 | IO_3V3 | 上拉  | -    |
| JTAG_TRST | I  | -    | JTAG 复位, 外部下拉处理                  | IO_3V3 | 上拉  | -    |
| JTAG_TDO  | O  | 'h1  | JTAG 数据输出                        | IO_3V3 | -   | 2mA  |





## 2.16 系统相关信号

| 信号名称             | 类型  | 复位状态 | 描述  | 电源      | 上下拉 | 驱动大小 |
|------------------|-----|------|---|---------|-----|------|
| SYSCLK           | I   | -    | 100MHz 系统参考时钟   | IO_3V3  | -   | -    |
| SYSRESETN        | I   | -    | 系统复位输入信号  | IO_3V3  | 上拉  | -    |
| SYSPLTRSTN       | O   | 'h0  | 系统平台复位输出信号  | IO_3V3  | 上拉  | 8mA  |
| SYS_TESTCLK      | I   | -    | 测试时钟  | IO_3V3  | -   | -    |
| RTC_XI<br>RTC_XO | I/O | -    | RTC 参考时钟 (32.768KHz)；推荐采用有源晶振输入，晶振时钟由 RTC_XO 引脚输入（推荐电压幅值 0~500mV，RTC_XI 悬空处理） | RTC_VDD | -   | -    |

## 2.17 上电配置信号

| 信号名称       | 类型 | 描述  |
|------------|----|---|
| PM0IO[0]   | I  | 启动选择输入<br>0=SPI<br>1=SDIO   |
| PM0IO[2:1] | I  | PLL 时钟配置输入<br>00=低频模式<br>01=高频模式<br>10=软件模式<br>11=bypass 模式               |
| PM0IO[3]   | I  | SDIO0 模式配置输入<br>0=SDIO 模式<br>1=EMMC 模式                                    |
| PM0IO[4]   | I  | SDIO1 模式配置输入<br>0=SDIO 模式<br>1=EMMC 模式                                    |
| PM0IO[6:5] | I  | OTG 参考时钟模式输入<br>00=外部差分晶体输入 (XI/XO)<br>01/10=外部单端晶振输入 (XO)<br>11=内部参考时钟输入 |

## 2.18 外设功能引脚复用

模块层次的功能复用关系如下表所示：



表 2-1 主系统功能引脚复用关系表

| 芯片主功能           | 第二复用           | 第一复用            | 上电默认功能<br>(除启动引脚外) |
|-----------------|----------------|-----------------|--------------------|
| main_uart0_rx   | gmac1_col      | sdio1_d[4]      | MAIN_GPIO00        |
| main_uart0_tx   | gmac1_crs      | sdio1_d[5]      | MAIN_GPIO01        |
| main_uart1_rx   | gmac1_ptp_trig | sdio1_d[6]      | MAIN_GPIO02        |
| main_uart1_tx   | gmac1_ptp_pps  | sdio1_d[7]      | MAIN_GPIO03        |
| main_i2c0_scl   | sdio0_d[4]     | main_uart2_rx   | MAIN_GPIO04        |
| main_i2c0_sda   | sdio0_d[5]     | main_uart2_tx   | MAIN_GPIO05        |
| main_i2c1_scl   | sdio0_d[6]     | main_uart3_rx   | MAIN_GPIO06        |
| main_i2c1_sda   | sdio0_d[7]     | main_uart3_tx   | MAIN_GPIO07        |
| main_spi0_clk   | pm1io[0]       | main_uart0_rts  | MAIN_GPIO08        |
| main_spi0_miso  | pm1io[1]       | main_uart0_cts  | MAIN_GPIO09        |
| main_spi0_mosi  | pm1io[2]       | main_uart0_dsr  | MAIN_GPIO10        |
| main_spi0_cs[0] | pm1io[3]       | main_uart0_dtr  | MAIN_GPIO11        |
| main_spi1_clk   | pm1io[4]       | main_uart0_dcd  | MAIN_GPIO12        |
| main_spi1_miso  | pm1io[5]       | main_uart0_ri   | MAIN_GPIO13        |
| main_spi1_mosi  | pm1io[6]       | main_uart1_rts  | MAIN_GPIO14        |
| main_spi1_cs    | pm1io[7]       | main_uart1_cts  | MAIN_GPIO15        |
| sdio0_clk       | pm0io[0]       | -               | MAIN_GPIO16        |
| sdio0_cmd       | pm0io[1]       | main_spi0_cs[1] | MAIN_GPIO17        |
| sdio0_d[0]      | pm0io[2]       | main_spi0_cs[2] | MAIN_GPIO18        |
| sdio0_d[1]      | pm0io[3]       | main_spi0_cs[3] | MAIN_GPIO19        |
| sdio0_d[2]      | pm0io[4]       | main_pwm[0]     | MAIN_GPIO20        |
| sdio0_d[3]      | pm0io[5]       | main_pwm[1]     | MAIN_GPIO21        |
| sdio1_clk       | pm0io[6]       | main_pwm[2]     | MAIN_GPIO22        |
| sdio1_cmd       | pm0io[7]       | main_pwm[3]     | MAIN_GPIO23        |
| sdio1_d[0]      | pm0io[8]       | main_pwm[4]     | MAIN_GPIO24        |
| sdio1_d[1]      | pm0io[9]       | main_pwm[5]     | MAIN_GPIO25        |
| sdio1_d[2]      | pm0io[10]      | main_pwm[6]     | MAIN_GPIO26        |
| sdio1_d[3]      | pm0io[11]      | main_pwm[7]     | MAIN_GPIO27        |
| pm2io[0]        | pm0io[12]      | main_pwm[0]     | MAIN_GPIO28        |
| pm2io[1]        | pm0io[13]      | main_pwm[1]     | MAIN_GPIO29        |
| pm2io[2]        | pm0io[14]      | main_pwm[2]     | MAIN_GPIO30        |
| pm2io[3]        | pm0io[15]      | main_pwm[3]     | MAIN_GPIO31        |
| pm2io[4]        | gmac1_rx_ctl   | main_pwm[4]     | MAIN_GPIO32        |
| pm2io[5]        | gmac1_rx[0]    | main_pwm[5]     | MAIN_GPIO33        |
| pm2io[6]        | gmac1_rx[1]    | main_pwm[6]     | MAIN_GPIO34        |
| pm2io[7]        | gmac1_rx[2]    | main_pwm[7]     | MAIN_GPIO35        |
| pm2io[8]        | gmac1_rx[3]    | main_pwm[8]     | MAIN_GPIO36        |
| pm2io[9]        | gmac1_tx_ctl   | main_pwm[9]     | MAIN_GPIO37        |
| pm2io[10]       | gmac1_tx[0]    | main_pwm[10]    | MAIN_GPIO38        |
| pm2io[11]       | gmac1_tx[1]    | main_pwm[11]    | MAIN_GPIO39        |
| pm2io[12]       | gmac1_tx[2]    | main_pwm[12]    | MAIN_GPIO40        |
| pm2io[13]       | gmac1_tx[3]    | main_pwm[13]    | MAIN_GPIO41        |
| pm2io[14]       | gmac1_mdck     | main_pwm[14]    | MAIN_GPIO42        |
| pm2io[15]       | gmac1_mdio     | main_pwm[15]    | MAIN_GPIO43        |



表 2-2 打印系统功能引脚复用关系表

| 芯片主功能          | 第二复用            | 第一复用          | 上电默认功能     |
|----------------|-----------------|---------------|------------|
| prt_uart0_rx   | pm0io[0]        | prt_pwm[0]    | PRT_GPIO00 |
| prt_uart0_tx   | pm0io[1]        | prt_pwm[1]    | PRT_GPIO01 |
| prt_i2c0_scl   | pm0io[2]        | prt_pwm[2]    | PRT_GPIO02 |
| prt_i2c0_sda   | pm0io[3]        | prt_pwm[3]    | PRT_GPIO03 |
| prt_i2c1_scl   | prt_uart1_rx    | prt_pwm[4]    | PRT_GPIO04 |
| prt_i2c1_sda   | prt_uart1_tx    | prt_pwm[5]    | PRT_GPIO05 |
| prt_spi_clk    | gmac0_col       | prt_pwm[6]    | PRT_GPIO06 |
| prt_spi_miso   | gmac0_crs       | prt_pwm[7]    | PRT_GPIO07 |
| prt_spi_mosi   | gmac0_ptp_trig  | prt_pwm[8]    | PRT_GPIO08 |
| prt_spi_cs     | gmac0_ptp_pps   | prt_pwm[9]    | PRT_GPIO09 |
| pm0io[0]       | prt_vid_out[16] | prt_pwm[10]   | PRT_GPIO10 |
| pm0io[1]       | prt_vid_out[17] | prt_pwm[11]   | PRT_GPIO11 |
| pm0io[2]       | prt_vid_out[18] | prt_pwm[12]   | PRT_GPIO12 |
| pm0io[3]       | prt_vid_out[19] | prt_pwm[13]   | PRT_GPIO13 |
| pm0io[4]       | prt_vid_out[20] | prt_pwm[14]   | PRT_GPIO14 |
| pm0io[5]       | prt_vid_out[21] | prt_pwm[15]   | PRT_GPIO15 |
| pm0io[6]       | prt_vid_out[22] | prt_pwm[16]   | PRT_GPIO16 |
| pm0io[7]       | prt_vid_out[23] | prt_pwm[17]   | PRT_GPIO17 |
| pm0io[8]       | prt_pwm[0]      | vid_clk[0]    | PRT_GPIO18 |
| pm0io[9]       | prt_pwm[1]      | vid_clk[1]    | PRT_GPIO19 |
| pm0io[10]      | prt_pwm[2]      | vid_clk[2]    | PRT_GPIO20 |
| pm0io[11]      | prt_pwm[3]      | vid_clk[3]    | PRT_GPIO21 |
| pm0io[12]      | prt_pwm[4]      | prt_vid_en[0] | PRT_GPIO22 |
| pm0io[13]      | prt_pwm[5]      | prt_vid_en[1] | PRT_GPIO23 |
| pm0io[14]      | prt_pwm[6]      | prt_vid_en[2] | PRT_GPIO24 |
| pm0io[15]      | prt_pwm[7]      | prt_vid_en[3] | PRT_GPIO25 |
| pm0io[16]      | prt_pwm[8]      | prt_ovlin[0]  | PRT_GPIO26 |
| pm0io[17]      | prt_pwm[9]      | prt_ovlin[1]  | PRT_GPIO27 |
| pm0io[18]      | prt_pwm[10]     | prt_ovlin[2]  | PRT_GPIO28 |
| pm0io[19]      | prt_pwm[11]     | prt_ovlin[3]  | PRT_GPIO29 |
| pm0io[20]      | prt_pwm[12]     | prt_ovlin[4]  | PRT_GPIO30 |
| pm0io[21]      | prt_pwm[13]     | prt_ovlin[5]  | PRT_GPIO31 |
| pm0io[22]      | prt_pwm[14]     | prt_ovlin[6]  | PRT_GPIO32 |
| pm0io[23]      | prt_pwm[15]     | prt_ovlin[7]  | PRT_GPIO33 |
| pm0io[24]      | prt_vid_out[24] | prt_ovlin[8]  | PRT_GPIO34 |
| pm0io[25]      | prt_vid_out[25] | prt_ovlin[9]  | PRT_GPIO35 |
| pm0io[26]      | prt_vid_out[26] | prt_ovlin[10] | PRT_GPIO36 |
| pm0io[27]      | prt_vid_out[27] | prt_ovlin[11] | PRT_GPIO37 |
| pm0io[28]      | prt_vid_out[28] | prt_ovlin[12] | PRT_GPIO38 |
| pm0io[29]      | prt_vid_out[29] | prt_ovlin[13] | PRT_GPIO39 |
| pm0io[30]      | prt_vid_out[30] | prt_ovlin[14] | PRT_GPIO40 |
| pm0io[31]      | prt_vid_out[31] | prt_ovlin[15] | PRT_GPIO41 |
| prt_vid_out[0] | pm0io[8]        | pm0io[16]     | PRT_GPIO42 |
| prt_vid_out[1] | pm0io[9]        | pm0io[17]     | PRT_GPIO43 |
| prt_vid_out[2] | pm0io[10]       | pm0io[18]     | PRT_GPIO44 |
| prt_vid_out[3] | pm0io[11]       | pm0io[19]     | PRT_GPIO45 |
| prt_vid_out[4] | pm0io[12]       | pm0io[20]     | PRT_GPIO46 |



| 芯片主功能           | 第二复用        | 第一复用      | 上电默认功能     |
|-----------------|-------------|-----------|------------|
| prt_vid_out[5]  | pm0io[13]   | pm0io[21] | PRT_GPIO47 |
| prt_vid_out[6]  | pm0io[14]   | pm0io[22] | PRT_GPIO48 |
| prt_vid_out[7]  | pm0io[15]   | pm0io[23] | PRT_GPIO49 |
| prt_vid_out[8]  | prt_pwm[16] | pm0io[24] | PRT_GPIO50 |
| prt_vid_out[9]  | prt_pwm[17] | pm0io[25] | PRT_GPIO51 |
| prt_vid_out[10] | prt_pwm[18] | pm0io[26] | PRT_GPIO52 |
| prt_vid_out[11] | prt_pwm[19] | pm0io[27] | PRT_GPIO53 |
| prt_vid_out[12] | prt_pwm[20] | pm0io[28] | PRT_GPIO54 |
| prt_vid_out[13] | prt_pwm[21] | pm0io[29] | PRT_GPIO55 |
| prt_vid_out[14] | prt_pwm[22] | pm0io[30] | PRT_GPIO56 |
| prt_vid_out[15] | prt_pwm[23] | pm0io[31] | PRT_GPIO57 |

表 2-3 扫描系统功能引脚复用关系表

| 芯片主功能         | 第二复用      | 第一复用          | 上电默认功能     |
|---------------|-----------|---------------|------------|
| sca_uart0_rx  | pmlio[16] | -             | SCA_GPIO00 |
| sca_uart0_tx  | pmlio[17] | -             | SCA_GPIO01 |
| sca_spi0_clk  | pmlio[18] | -             | SCA_GPIO02 |
| sca_spi0_cs   | pmlio[19] | sca_uart1_rx  | SCA_GPIO03 |
| sca_spi0_miso | pmlio[20] | sca_uart1_tx  | SCA_GPIO04 |
| sca_spi0_mosi | pm0io[31] | pmlio[31]     | SCA_GPIO05 |
| pmlio[0]      | pm0io[0]  | sca_afesd[8]  | SCA_GPIO06 |
| pmlio[1]      | pm0io[1]  | sca_afesd[9]  | SCA_GPIO07 |
| pmlio[2]      | pm0io[2]  | sca_afesd[10] | SCA_GPIO08 |
| pmlio[3]      | pm0io[3]  | sca_afesd[11] | SCA_GPIO09 |
| pmlio[4]      | pm0io[4]  | sca_afesd[12] | SCA_GPIO10 |
| pmlio[5]      | pm0io[5]  | sca_afesd[13] | SCA_GPIO11 |
| pmlio[6]      | pm0io[6]  | sca_afesd[14] | SCA_GPIO12 |
| pmlio[7]      | pm0io[7]  | sca_afesd[15] | SCA_GPIO13 |
| pmlio[8]      | pm0io[8]  | sca_afepls[1] | SCA_GPIO14 |
| pmlio[9]      | pm0io[9]  | sca_afepls[2] | SCA_GPIO15 |
| pmlio[10]     | pm0io[10] | sca_cispls[1] | SCA_GPIO16 |
| pmlio[11]     | pm0io[11] | sca_cisclk[3] | SCA_GPIO17 |
| pmlio[12]     | pm0io[12] | sca_cisclk[4] | SCA_GPIO18 |
| pmlio[13]     | pm0io[13] | sca_cisclk[5] | SCA_GPIO19 |
| pmlio[14]     | pm0io[14] | sca_cisclk[6] | SCA_GPIO20 |
| pmlio[15]     | pm0io[15] | -             | SCA_GPIO21 |
| sca_afeclk    | pm0io[16] | pmlio[16]     | SCA_GPIO22 |
| sca_afepls[0] | pm0io[17] | pmlio[17]     | SCA_GPIO23 |
| sca_afesd[0]  | pm0io[18] | pmlio[18]     | SCA_GPIO24 |
| sca_afesd[1]  | pm0io[19] | pmlio[19]     | SCA_GPIO25 |
| sca_afesd[2]  | pm0io[20] | pmlio[20]     | SCA_GPIO26 |
| sca_afesd[3]  | pm0io[21] | pmlio[21]     | SCA_GPIO27 |
| sca_afesd[4]  | pm0io[22] | pmlio[22]     | SCA_GPIO28 |
| sca_afesd[5]  | pm0io[23] | pmlio[23]     | SCA_GPIO29 |
| sca_afesd[6]  | pm0io[24] | pmlio[24]     | SCA_GPIO30 |
| sca_afesd[7]  | pm0io[25] | pmlio[25]     | SCA_GPIO31 |
| sca_cisclk[0] | pm0io[26] | pmlio[26]     | SCA_GPIO32 |
| sca_cisclk[1] | pm0io[27] | pmlio[27]     | SCA_GPIO33 |



| 芯片主功能         | 第二复用      | 第一复用      | 上电默认功能     |
|---------------|-----------|-----------|------------|
| sca_cisclk[2] | pm0io[28] | pm1io[28] | SCA_GPIO34 |
| sca_cispls[0] | pm0io[29] | pm1io[29] | SCA_GPIO35 |
| sca_cispwm    | pm0io[30] | pm1io[30] | SCA_GPIO36 |

## 3 功能描述

### 3.1 DDR3 控制器

龙芯 2P0500 内部集成的内存控制器。

#### 3.1.1 DDR3 接口工作频率范围

支持 133-400MHZ 工作频率。

#### 3.1.2 DDR3 控制器特性

龙芯 2P0500 内存控制器支持 1 个 CS，一共含有 19 位的地址总线（即：16 位的行列地址总线和 3 位的逻辑 Bank 总线）。

在具体选择使用不同内存芯片类型时，可以调整 DDR3 控制器参数设置进行支持。其中，支持的最大片选（CS<sub>n</sub>）数为 1，行地址（RAS<sub>n</sub>）数为 16，列地址（CAS<sub>n</sub>）数为 16，逻辑体选择（BANK<sub>n</sub>）数为 3。

CPU 发送的内存请求物理地址可以根据控制器内部不同的配置进行多种不同的地址映射。

内存控制器接收从处理器或外部设备发送的内存读写请求。无论是读还是写操作，内存控制器都处在 slave 状态。

内存控制器中实现了动态页管理功能。对于内存的一次存取，不需软件设计者的干预，控制器会在硬件电路上选择 Open Page/Close Page 策略。

龙芯 2P0500 中内存控制器具有如下特征：

- 接口上命令、读写数据全流水操作
- 内存命令合并、排序提高整体带宽
- 配置寄存器读写端口，可以修改内存设备的基本参数
- 内建动态延迟补偿电路（DCC），用于数据的可靠发送和接收
- 支持 133-400MHZ 工作频率
- 支持 32/16 位内存数据位宽，其中 16 位模式采用低 16 位内存数据信号

## 3.2 USB

龙芯 2P0500 的 USB 主机端口特性如下：

- 兼容 USB Rev 1.1 、 USB Rev 2.0 协议
- 兼容 OHCI Rev 1.0 、 EHCI Rev 1.0 协议
- 支持 LS（Low Speed）、FS（Full Speed）和 HS（High Speed）的 USB 设备
- 支持两个 USB2.0 端口
- USB2.0 主机控制器模块包括一个支持高速设备的 EHCI 控制器，一个支持全速与低速设备的 OHCI 控制器。其中 EHCI 控制器处于主控地位，只有当挂上的设备是全速或低速设备时，才将控制权转交给 OHCI 控制器；当全速或低速设备拔掉时，控制权返回 EHCI 控制器。

## 3.3 OTG

龙芯 2P0500 的 OTG 支持特性如下：

- 支持 HNP 与 SRP 协议；
- 内嵌 DMA，无需占用处理器带宽即可在 OTG 与外部存储之间移动数据；
- 在 device 模式下，为高速设备（480Mbps）；
- 在 host 模式下，仅能支持高速设备（480Mbps）；
- 在 device 模式下，支持 10 个双向的 endpoint，其中仅有默认的 endpoint0 支持控制传输；
- 在 device 模式下，最多同时支持 4 个 IN 方向的传输；
- 在 host 模式下，支持 12 个 channel，且软件可配置每个 channel 的方向；
- 在 host 模式下，支持 periodic OUT 传输；

## 3.4 GMAC

龙芯 2P0500 集成两个 GMAC 控制器，即 GMAC0 和 GMAC1，二者在逻辑结构上完全相同。

## 3.5 SPI

串行外围设备接口 SPI 总线技术是多种微处理器、微控制器以及外围设备之间

的一种全双工、同步、串行数据接口标准。

龙芯 2P0500 集成的 SPI 控制器仅可作为主控端，所连接的是从设备。对于软件而言，SPI 控制器除了有若干 IO 寄存器外还有一段映射到 SPI Flash 的只读 memory 空间。如果将这段 memory 空间分配在 BOOT 启动地址，复位后不需要软件干预就可以直接访问，从而支持处理器从 SPI Flash 启动。

以下列举了 SPI 管脚信号与外设通信的时序图：

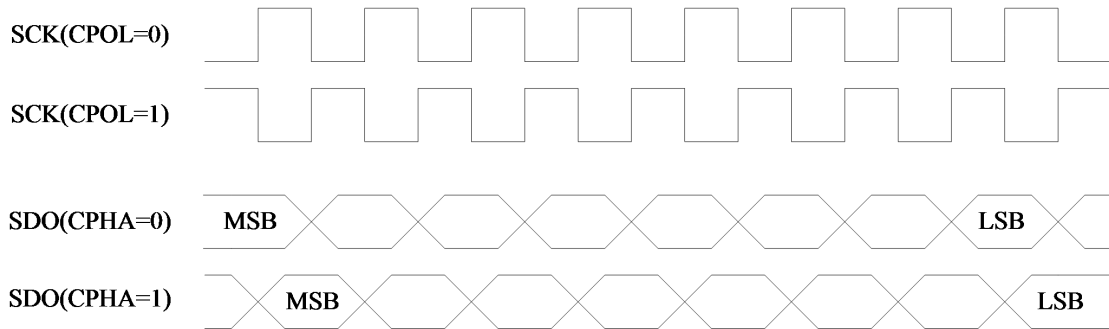


图 3.1 SPI 主控制器接口时序

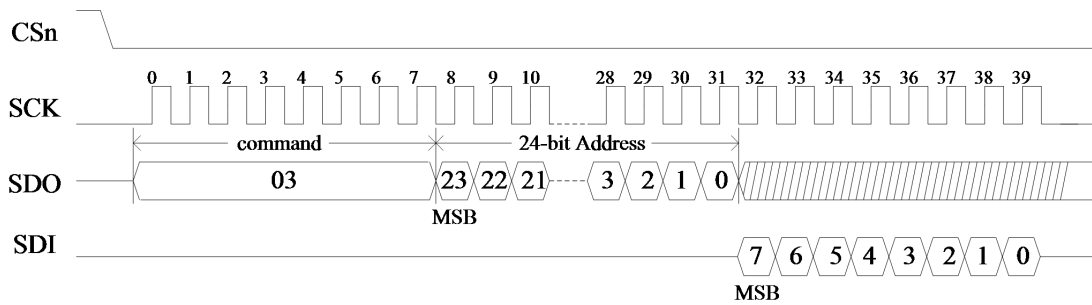


图 3.2 SPI Flash 标准读时序





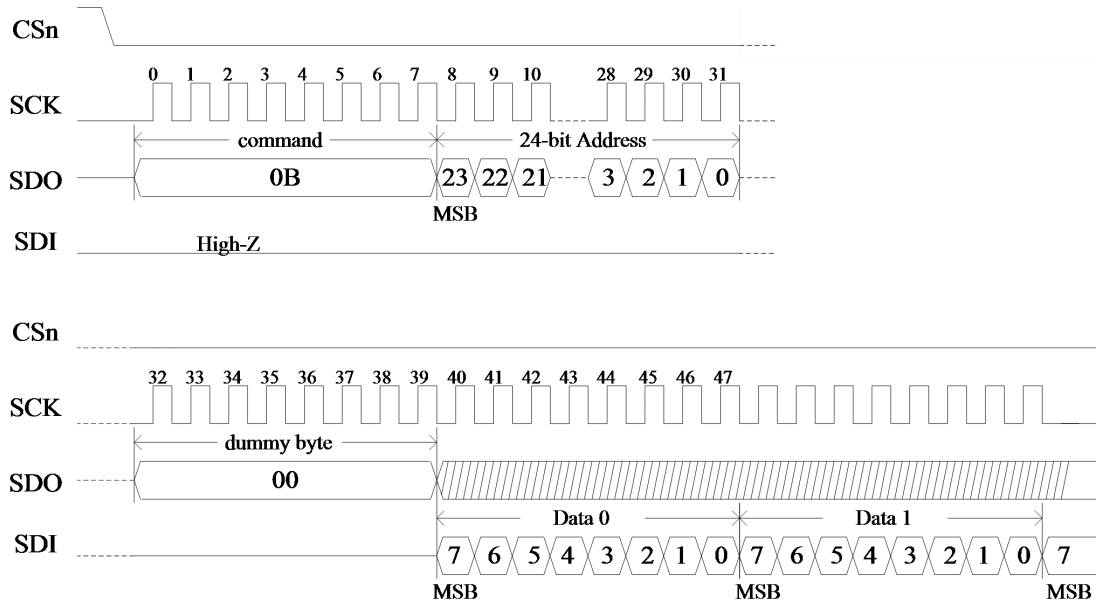


图 3.3 SPI Flash 快速读时序

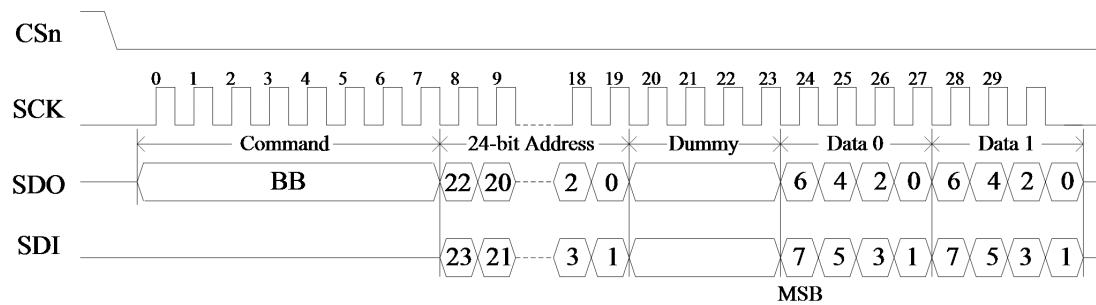


图 3.4 SPI Flash 双向 I/O 读时序

### 3.6 UART

龙芯 2P0500 集成了 8 个 UART 控制器，包括 1 个全功能串口(UART0)，1 个四线串口(UART1)，2 个 2 线串口(UART2/UART3)，其中 1 个全功能串口可复用为 4 个 2 线串口(UART0、UART1、UART2、UART3 复用 UART0 接口)，1 个四线串口可复用为 2 个 2 线串口(UART1、UART3 复用 UART1 接口)，各控制器通过 APB 总线与总线桥通信。

UART 控制器提供与 MODEM 或其他外部设备串行通信的功能，例如与另外一台计算机，以 RS232 为标准使用串行线路进行通信。该控制器在设计上能很好地兼容国际工业标准半导体设备 16550A。



### 3.7 I<sup>2</sup>C

龙芯 2P0500 集成六路 I2C 接口，均支持主、从模式，主要用于实现两个器件之间数据的交换。

I2C 总线是由数据线 SDA 和时钟 SCL 构成的串行总线，可发送和接收数据。器件与器件之间进行双向传送，最高传送速率 400kbps。

### 3.8 PRINTER

龙芯 2P0500 集成一个打印接口，支持 JBIG85 解码，支持 8 路独立机芯控制，支持四色彩打功能。

### 3.9 SCANNER

龙芯 2P0500 集成一个扫描接口，支持彩色（RGB）多分段（segment）扫描，支持 CIS、AFE 控制时序。

### 3.10 DA

龙芯 2P0500 集成一个 DA 电路，支持 4 路 8 位 DA 模拟电压输出。

### 3.11 SDIO

龙芯 2P0500 集成两个 SDIO/eMMC 控制器，用于 SD/eMMC Memory、SDIO 卡的读写，SDIO0 支持 SD/eMMC Memory 卡启动。

SDIO 是一个串行通信方式，主设备和从设备通过消息传递来实现数据和状态的传输。写多块数据过程如下：

- 主设备通过命令线发送写命令消息给从设备；
- 从设备接收完消息之后通过命令线发送应答消息给主设备；
- 主设备接收到正确的应答消息后，通过数据线发送一块数据(512K Byte 或者更多)给从设备，并且检测数据线忙状态；
- 从设备接收到正确的数据后会进入编程状态，此时将数据线置为忙状态，不再响应主设备的数据请求；

- 主设备检测到从设备编程完成，继续发送下一块数据；
- 主设备发送完最后一块数据时，通过命令线发送停止命令给从设备，收到正确应答之后完成这次多块写操作。

多块读操作的过程和多块写操作的过程类似。

### 3.12 PMIO

龙芯 2P0500 集成三组可编程多功能 IO（Programmable Multifunction IO，PMIO），以下简称 PMIO。

包括两组全功能 PMIO，一组精简版 PMIO，可实现 Timer，PWM Generator、GPIO 及输入捕获等功能模式。

### 3.13 PWM

龙芯 2P0500 集成 40 路脉冲宽度调节/计数控制器，以下简称 PWM。

每一路 PWM 工作和控制方式完全相同，每路 PWM 均可配置为脉冲宽度输出或待测脉冲输入信号，计数寄存器和参考寄存器均 32 位数据宽度。

### 3.14 GPIO

龙芯 2P0500 共有 139 个 GPIO 引脚，全部与其他功能引脚复用，该部分引脚在芯片复位过程中和复位结束后除启动相关功能引脚外，其他功能引脚全部默认为 GPIO 输入状态，全部支持外部中断输入。

### 3.15 HPET

龙芯 2P0500 集成三个高精度定时器，32 位计数器，支持 1 个周期性中断，支持 2 个非周期性中断。

### 3.16 RTC

实时时钟（RTC）单元可以在主板上电后进行配置，当主板断电后，该单元仍然运作，仅靠板上的电池供电即可正常运行。RTC 单元运行时电流低于 10 微安。

RTC 结合外部 32.768KHZ 晶振产生工作时钟，该时钟用于时间信息的维护以及产生各种定时和计数中断，计时可精确到 0.1 秒。

### 3.17 电源管理

- 龙芯 2P0500 电源管理模块提供系统功耗管理实现机制。
- 系统待机、休眠与唤醒，支持多种唤醒方式(网络，OTG，电源开关等)。
- 支持 Dynamic Power Management（DPM），动态性能功耗控制，支持动态关闭 NODE（CORE+SCACHE）、DDR、IMAGE、SCAN、SYS 等电源域电源。
- 支持 Dynamic Frequency Scaling（DFS），处理器核 DFS 控制，由片内打印 LA132 处理器核独立控制。
- 系统时钟控制，模块时钟门控，多种方式调节频率。
- 提供温度管理控制功能。支持 3 级报警机制。

## 4 初始化时序

### 4.1 冷启动上电时序

参考上电时序如下图。

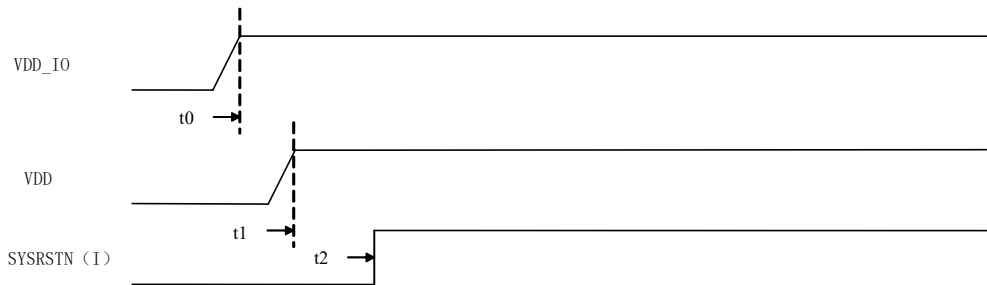


图 4.1 冷启动上电时序波形

注:

1. VDD\_IO 包括: VDD\_3V3、VDD\_3V3\_USB、DDR\_VDDE/DDR\_VREF、PSU\_3V3、VDD\_3V3\_DAC、VDD\_3V3\_LVDS、VDD\_3V3\_THSENS。
2. VDD包括: VDD\_CORE、VDD\_1V1\_USB、VDD\_NODE\_PLL\*、VDD\_DDR\_PLL\*、VDD\_SOC\_PLL\*。
3. 上述VDD\_IO、VDD上电时序为推荐上电时序,二者无强制先后关联。
4. SYSRSTN(I)信号没有去抖动功能,需主板提供去抖动电路。

(注\*:PLL采用1.1V供电电压、1.2V独立供电时上电时序均可与其他CORE电源同步上电。)

表 4-1 冷启动上电时序要求

| 标记符 | 参数              | 需求                  | 说明                          | 注 |
|-----|-----------------|---------------------|-----------------------------|---|
| t0  | IO 电源稳定时刻       |                     |                             |   |
| t1  | CORE 电源上电时刻     | $t1 - t0 > 10\mu s$ | IO 电源要先于 CORE 电源供电          |   |
| t2  | SYSRSTN(I)解复位时刻 | $t2 - t1 > 5ms$     | SYSRSTN 需要在 CORE 域电源稳定之后解复位 |   |



## 4.2 热复位时序

参考热复位时序如下图：

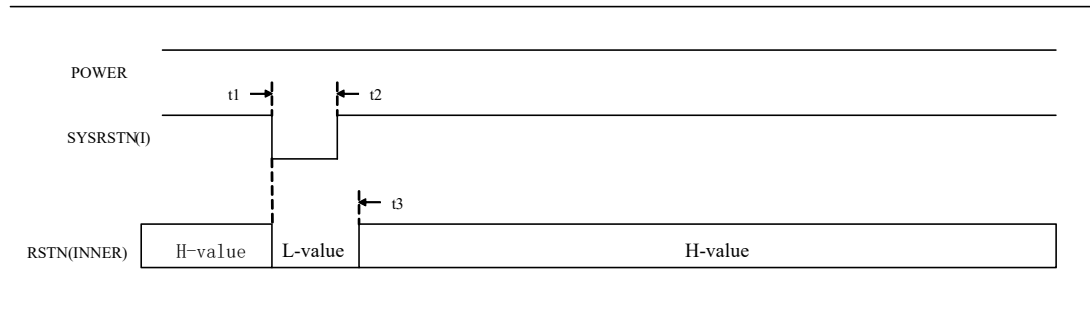


图 4.2 热复位时序图

注：

1. POWER包括所有的供电。
2. RSTN(INNER)内部复位在外部复位信号撤销之后过一段延迟后解除。

表 4- 2 热复位时序约束

| 标记符 | 参数            | 需求              | 说明                           |
|-----|---------------|-----------------|------------------------------|
| t1  | SYSRSTN 变低的时刻 |                 |                              |
| t2  | SYSRSTN 变高的时刻 | $t2 - t1 > 1ms$ | SYSRSTN 保持为低电平的时间需大于 1ms 才有效 |
| t3  | RSTN(INNER)   | $t3 - t2 < 2ms$ | 内部复位解除时刻不晚于 SYSRSTN 解复位后 2ms |



## 5 电气特性

### 5.1 电源

#### 5.1.1 推荐工作条件

表 5-1 推荐的工作电源电压

| 电源             | 描述               | 范围                 |                   |                    | 最大电流<br>(壳温 85℃) |
|----------------|------------------|--------------------|-------------------|--------------------|------------------|
|                |                  | Min.               | Typ.              | Max.               |                  |
| VDD_CORE       | 数字域电源            | 1.05V              | 1.1V              | 1.15V              | 1500mA           |
| RTC_VDD        | RTC 域电源          | 2.55V              | 2.7V              | 2.85V              | 10uA             |
| VDD_3V3        | SOC 域 IO 电源      | 3.15V              | 3.3V              | 3.45V              | 500mA            |
| VDDIO_DDR      | DDR3 IO 电源       | 1.42V              | 1.5V              | 1.58V              | 500mA            |
| DDR_VREF       | DDR3 VREF        | 0.72V              | 0.75V             | 0.78V              | TBD              |
| VDD_1V1_USB    | USB vp 和 vptx 电源 | 1.05V              | 1.1V              | 1.15V              | 100mA            |
| VDD_3V3_USB    | USB vph 电源       | 3.15V              | 3.3V              | 3.45V              | 100mA            |
| OTG_VBUS       | OTG 接口 5V 供电电源   | 4.85V              | 5V                | 5.15V              | TBD              |
| VDD_3V3_DAC    | DA 接口模拟电源        | 3.15V              | 3.3V              | 3.45V              | TBD              |
| VDD_3V3_LVDS   | LVDS 接口模拟电源      | 3.15V              | 3.3V              | 3.45V              | TBD              |
| VDD_3V3_THSENS | THSENS 温度传感器电源   | 3.15V              | 3.3V              | 3.45V              | TBD              |
| VDD_NODE_PLL   | NODE PLL 电源      | 1.15V <sup>1</sup> | 1.2V <sup>1</sup> | 1.25V <sup>1</sup> | 50mA             |
|                |                  | 1.05V <sup>2</sup> | 1.1V <sup>2</sup> | 1.15V <sup>2</sup> |                  |
| VDD_DDR_PLL    | DDR PLL 电源       | 1.15V <sup>1</sup> | 1.2V <sup>1</sup> | 1.25V <sup>1</sup> |                  |
|                |                  | 1.05V <sup>2</sup> | 1.1V <sup>2</sup> | 1.15V <sup>2</sup> |                  |
| VDD_SOC_PLL    | SOC PLL 电源       | 1.15V <sup>1</sup> | 1.2V <sup>1</sup> | 1.25V <sup>1</sup> |                  |
|                |                  | 1.05V <sup>2</sup> | 1.1V <sup>2</sup> | 1.15V <sup>2</sup> |                  |

标注<sup>1</sup>：该推荐供电电压适用温度范围：-40℃~-10℃，推荐工业级应用；

标注<sup>2</sup>：该推荐供电电压适用温度范围：-10℃~ 85℃，推荐商业级应用。

#### 5.1.2 绝对最大额定值

表 5-2 绝对最大额定值

| 参数        | 描述          | 最小   | 最大   | 单位 |
|-----------|-------------|------|------|----|
| VDD_CORE  | SOC 域电源     | -0.3 | 1.25 | V  |
| RTC_VDD   | RTC 域电源     | -0.3 | 3.0  | V  |
| VDD_3V3   | SOC 域 IO 电源 | -0.3 | 3.47 | V  |
| VDDIO_DDR | DDR3 IO 电源  | -0.3 | 1.7  | V  |
| DDR_VREF  | DDR3 参考电压   | -0.3 | 0.78 | V  |



| 参数             | 描述               | 最小   | 最大   | 单位 |
|----------------|------------------|------|------|----|
| VDD_1V1_USB    | USB vp 和 vptx 电源 | -0.3 | 1.21 | V  |
| VDD_3V3_USB    | USB vph 电源       | -0.3 | 3.47 | V  |
| VDD_3V3_DAC    | DA 接口模拟电源        | -0.3 | 3.47 | V  |
| VDD_3V3_LVDS   | LVDS 接口模拟电源      | -0.3 | 3.47 | V  |
| VDD_3V3_THSENS | THSNES 模拟电源      | -0.3 | 3.47 | V  |
| VDD_PLL        | PLL 模拟电源         | -0.3 | 1.3  | V  |
| ESD            | 静电防护             | -    | 2000 | V  |
| Tstg           | 存储温度             | -55  | 125  | °C |

### 5.1.3 功耗状态及优化

表 5-3 芯片功耗模式

| 运行模式 | 条件(壳温 25°C)  | 功耗(W) |
|------|--|-------|
| 典型   | CPU 1.1V, 700MHz; DDR 400MHz<br>USB、GMAC 连接常用设备<br>运行 SPEC CPU2000<br>所有模块保持打开状态<br>测量平均功耗 | 1.5W  |

## 5.2 参考时钟

### 5.2.1 单端参考时钟

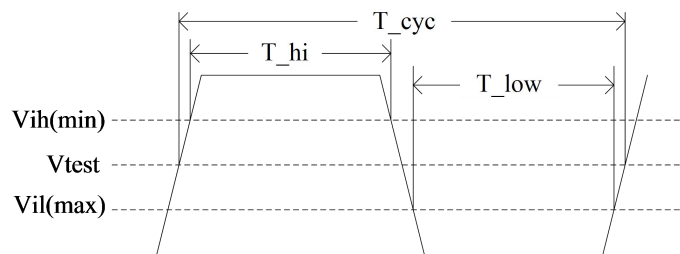


图 5.1 单端参考时钟波形

| 时钟      | 参数    | 描述      | 最小       | 最大       | 单位 |
|---------|-------|---------|----------|----------|----|
| SYS_CLK | Vih   | 输入高电平电压 | 2.0      | -        | V  |
|         | Vil   | 输入低电平电压 | -        | 0.8      | V  |
|         | T_cyc | 时钟周期    | 9.99     | 10.01    | ns |
|         | T_hi  | 高电平时间   | 40%T_cyc | 60%T_cyc | ns |
|         | T_low | 低电平时间   | 40%T_cyc | 60%T_cyc | ns |





| 时钟          | 参数        | 描述      | 最小       | 最大       | 单位   |
|-------------|-----------|---------|----------|----------|------|
|             | Tslew     | 斜率      | 1        | 4        | V/ns |
|             | Tccjitter | 周期间抖动   | -        | 100      | ps   |
| JTAG_TCK    | Vih       | 输入高电平电压 | 2.0      | -        | V    |
|             | Vil       | 输入低电平电压 | -        | 0.8      | V    |
|             | T_cyc     | 时钟周期    | 30       | -        | ns   |
|             | T_hi      | 高电平时间   | 40%T_cyc | 60%T_cyc | ns   |
|             | T_low     | 低电平时间   | 40%T_cyc | 60%T_cyc | ns   |
|             | Tslew     | 斜率      | 1        | 4        | V/ns |
| SYS_TESTCLK | Vih       | 输入高电平电压 | 2.0      | -        | V    |
|             | Vil       | 输入低电平电压 | -        | 0.8      | V    |
|             | T_cyc     | 时钟周期    | 30       | -        | ns   |
|             | T_hi      | 高电平时间   | 40%T_cyc | 60%T_cyc | ns   |
|             | T_low     | 低电平时间   | 40%T_cyc | 60%T_cyc | ns   |
|             | Tslew     | 斜率      | 1        | 4        | V/ns |

### 5.2.2 差分参考时钟

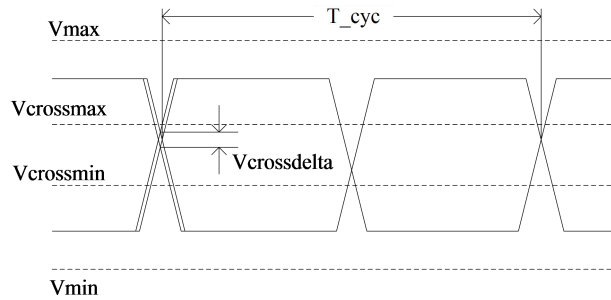


图 5.2 差分参考时钟波形

| 时钟         | 参数          | 描述              | 最小    | 最大     | 单位   |
|------------|-------------|-----------------|-------|--------|------|
| USB_REFCLK | Vrange      | 输入电压范围(单端)      | -0.3  | 1.15   | V    |
|            | Vcrossrange | 交叉点范围           | -100  | 100    | mV   |
|            | Vcrossdelta | 上升沿 Vcross 变动范围 | -     | 140    | mV   |
|            | T_cyc       | 时钟周期            | 9.847 | 10.203 | ns   |
|            | Duty cycle  | 占空比             | 40    | 60     | %    |
|            | Vih         | 差分输入高           | +150  | -      | mV   |
|            | Vil         | 差分输入低           | -     | -150   | mV   |
|            | Tccjitter   | 周期间抖动           | -     | 30     | ps   |
|            | Tslew       | 斜率              | 0.6   | 4      | V/ns |



## 5.3 DDR3 内存接口特性

### 5.3.1 推荐的直流工作条件

表 5-4 推荐的直流工作条件

| Symbol | Parameter                 | Min. | Typ. | Max. | Unit |
|--------|---------------------------|------|------|------|------|
| VDD    | Supply Voltage            | 1.42 | 1.5  | 1.58 | V    |
| VDDQ   | Supply Voltage for Output | 1.42 | 1.5  | 1.58 | V    |

### 5.3.2 交流和直流逻辑输入电平

#### 5.3.2.1 单端信号的交流和直流输入电平

表 5-5 控制信号和地址单端信号的交流和直流输入电平

| Symbol        | Parameter                             | DDR3-800/1066/1333/1600 |              | Unit |
|---------------|---------------------------------------|-------------------------|--------------|------|
|               |                                       | Min                     | Max          |      |
| VIH.CA(DC100) | DC input logic high                   | Vref + 0.100            | VDD          | V    |
| VIL.CA(DC100) | DC input logic low                    | VSS                     | Vref - 0.100 | V    |
| VIH.CA(AC175) | AC input logic high                   | Vref + 0.175            | Note 2       | V    |
| VIL.CA(AC175) | AC input logic low                    | Note 2                  | Vref - 0.175 | V    |
| VIH.CA(AC150) | AC input logic high                   | Vref + 0.150            | Note 2       | V    |
| VIL.CA(AC150) | AC input logic low                    | Note 2                  | Vref - 0.150 | V    |
| VRefCA(DC)    | Reference Voltage for ADD, CMD inputs | 0.49 * VDD              | 0.51 * VDD   | V    |

表 5-6 DQ 和 DM 单端信号的交流和直流输入电平

| Symbol        | Parameter                           | DDR3-800, DDR3-1066 |              | DDR3-1333, DDR3-1600 |              | Unit |
|---------------|-------------------------------------|---------------------|--------------|----------------------|--------------|------|
|               |                                     | Min                 | Max          | Min                  | Max          |      |
| VIH.DQ(DC100) | DC input logic high                 | Vref + 0.100        | VDD          | Vref + 0.100         | VDD          | V    |
| VIL.DQ(DC100) | DC input logic low                  | VSS                 | Vref - 0.100 | VSS                  | Vref - 0.100 | V    |
| VIH.DQ(AC175) | AC input logic high                 | Vref + 0.175        | -            | -                    | -            | V    |
| VIL.DQ(AC175) | AC input logic low                  | -                   | Vref - 0.175 | -                    | -            | V    |
| VIH.DQ(AC150) | AC input logic high                 | Vref + 0.150        | -            | Vref + 0.150         | -            | V    |
| VIL.DQ(AC150) | AC input logic low                  | -                   | Vref - 0.150 | -                    | Vref - 0.150 | V    |
| VRefDQ(DC)    | Reference Voltage for DQ, DM inputs | 0.49 * VDD          | 0.51 * VDD   | 0.49 * VDD           | 0.51 * VDD   | V    |

#### 5.3.2.2 差分信号的交流和直流输入电平



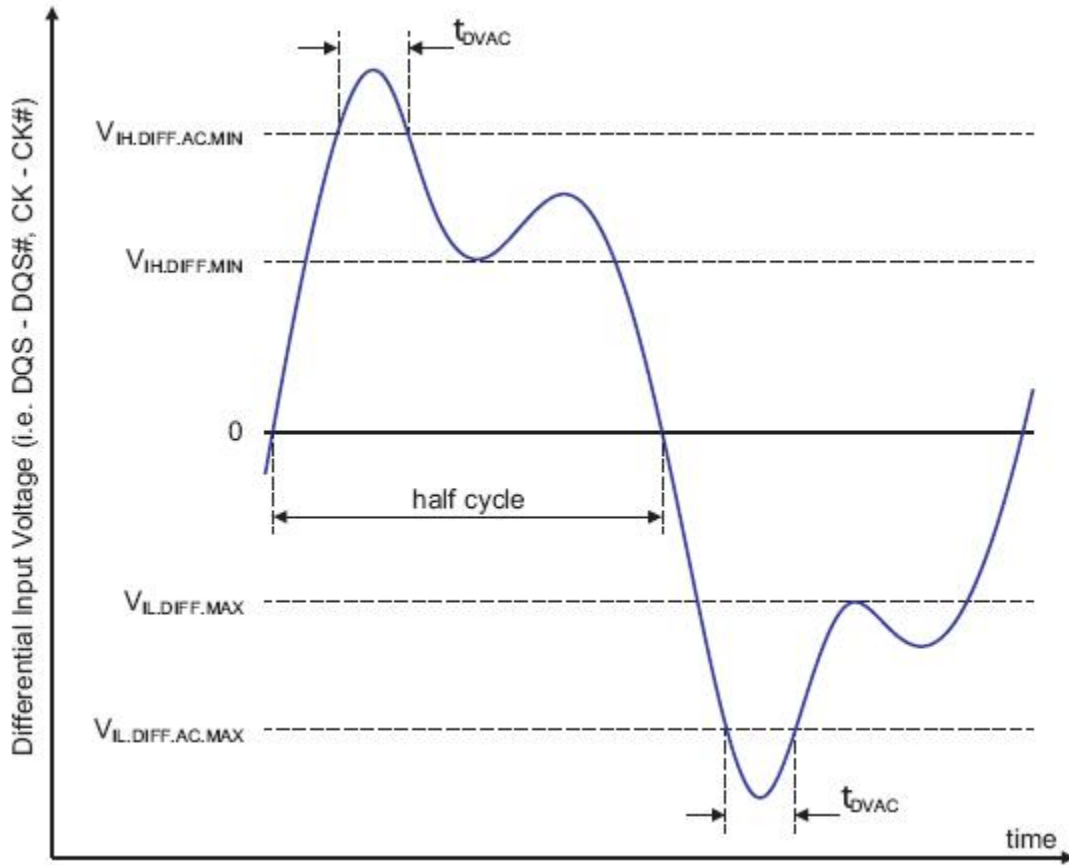


图 5.3 ac-swing 和 ac-level 时间点 (tDVA) 的差分定义

表 5-7 交流和直流的差分输入电平

| Symbol            | Parameter                    | DDR3-800,1066                     |                                   | Unit |
|-------------------|------------------------------|-----------------------------------|-----------------------------------|------|
|                   |                              | Min                               | Max                               |      |
| $V_{IH,diff}$     | Differential input high      | + 0.200                           | note 3                            | V    |
| $V_{IL,diff}$     | Differential input logic low | Note 3                            | - 0.200                           | V    |
| $V_{IH,diff(ac)}$ | Differential input high ac   | $2 \times (V_{IH}(ac) - V_{ref})$ | Note 3                            | V    |
| $V_{IL,diff(ac)}$ | Differential input low ac    | note 3                            | $2 \times (V_{IL}(ac) - V_{ref})$ | V    |

### 5.3.2.3 差分信号输入的交叉点电压

为了保证严格的建立和保持时钟和选通时间以及输出偏差参数，每个交叉点电压的差分输入信号（CK，CK#和 DQS，DQS#）必须满足表 5-8 的要求。差分输入的交叉点电压  $V_{IX}$  的测量是从实际的交叉点的和补偿信号的 VDD 和 VSS 之间的中间点处获得。



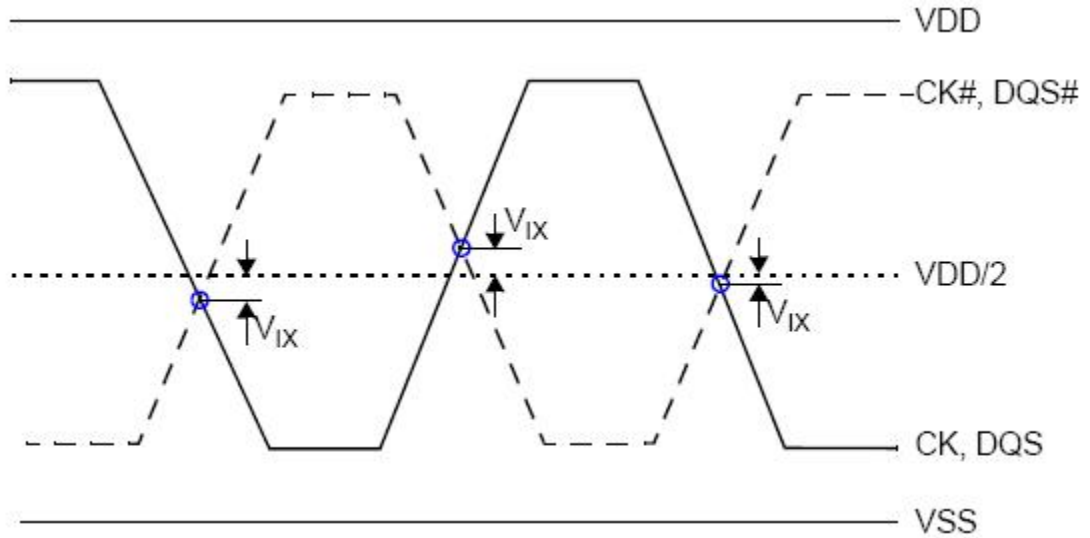


图 5.4  $V_{ix}$  定义

表 5-8 差分输入信号(CK, DQS)交叉点电压

| Symbol | Parameter  | DDR3-800, DDR3-1066, DDR3-1333, DDR3-1600 |      | Unit |
|--------|--|---|------|------|
|        |  | Min.                                      | Max. |      |
| VIX    | Differential Input Cross Point Voltage relative to VDD/2 for CK,CK#    | -150                                      | 150  | mV   |
|        |  | -175                                      | 175  | mV   |
| VIX    | Differential Input Cross Point Voltage relative to VDD/2 for DQS, DQS# | -150                                      | 150  | mV   |

### 5.3.3 交流和直流逻辑输出电平

#### 5.3.3.1 单端信号的交流和直流输出电平

表 5-9 单端信号的交流直流输出电平

| Symbol  | Parameter   | DDR3-800, 1066, 1333, and 1600 | Unit |
|---------|---|--------------------------------|------|
| VOH(DC) | DC output high measurement level (for IV curve linearity) | $0.8 \times V_{DDQ}$           | V    |
| VOM(DC) | DC output mid measurement level (for IV curve linearity)  | $0.5 \times V_{DDQ}$           | V    |
| VOL(DC) | DC output low measurement level (for IV curve linearity)  | $0.2 \times V_{DDQ}$           | V    |
| VOH(AC) | AC output high measurement level (for output SR)          | $V_{TT} + 0.1 \times V_{DDQ}$  | V    |
| VOL(AC) | AC output low measurement level (for output SR)           | $V_{TT} - 0.1 \times V_{DDQ}$  | V    |

#### 5.3.3.2 差分信号的交流和直流输出电平

表 5-10 差分信号的交流和直流输出电平

| Symbol      | Parameter   | DDR3-800, 1066, 1333, and 1600 | Unit |
|-------------|---|--------------------------------|------|
| VOHdiff(AC) | AC differential output high measurement level (for output SR) | $+ 0.2 \times V_{DDQ}$         | V    |
| VOLdiff(AC) | AC differential output low measurement level (for output SR)  | $- 0.2 \times V_{DDQ}$         | V    |

#### 5.3.3.3 单端信号的输出斜率

作为时序测量的参考负载，单端信号的下降沿和上升沿输出斜率的定义和



测量在 VOL (AC) 和 VOH (AC) 之间，如表 5-11 和图 5.4 所示。

表 5-11 单端信号输出斜率的定义

| Description                                    | Measured |         | Defined by                          |
|--|----------|---------|-------------------------------------|
|  | from     | to      |                                     |
| Single-ended output slew rate for rising edge  | VOL(AC)  | VOH(AC) | $[VOH(AC) - VOL(AC)] / \Delta TRse$ |
| Single-ended output slew rate for falling edge | VOH(AC)  | VOL(AC) | $[VOH(AC) - VOL(AC)] / \Delta TFse$ |

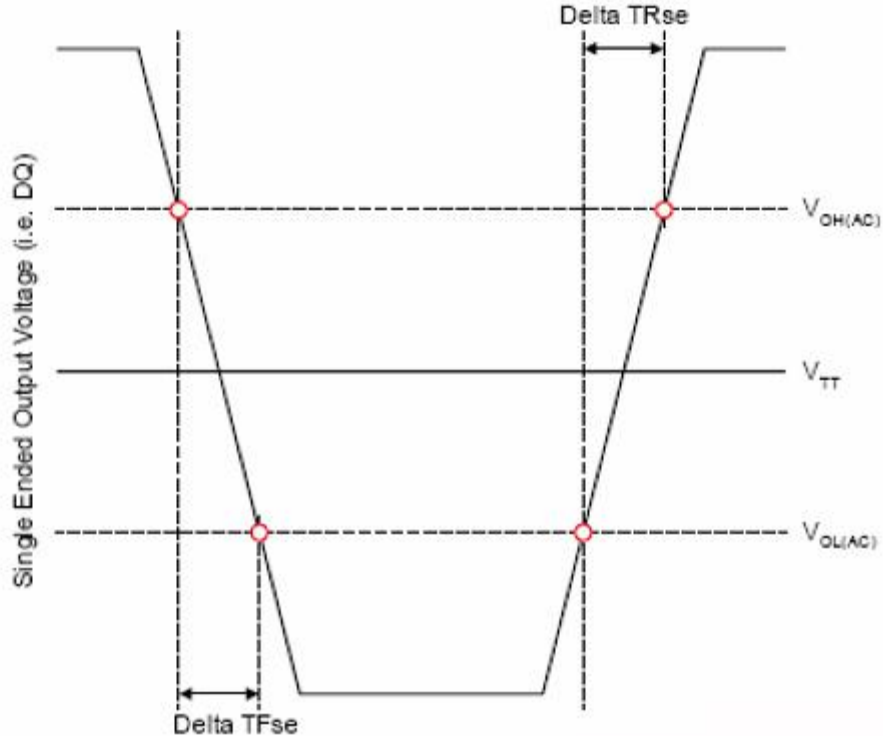


图 5.5 单端输出斜率的定义

表 5-12 单端的输出斜率

| Parameter                     | Symbol | DDR3-800 |      | DDR3-1066 |      | Unit |
|-------------------------------|--------|----------|------|-----------|------|------|
|                               |        | Min.     | Max. | Min.      | Max. |      |
| Single-ended Output Slew Rate | SRQse  | 2.5      | 5    | 2.5       | 5    | V/ns |

### 5.3.3.4 差分输出斜率

表 5-13 差分输出斜率的定义

| Description                                    | Measured    |             | Defined by                                    |
|--|-------------|-------------|---|
|  | from        | to          |   |
| Differential output slew rate for rising edge  | VOLdiff(AC) | VOHdiff(AC) | $[VOHdiff(AC) - VOLdiff(AC)] / \Delta TRdiff$ |
| Differential output slew rate for falling edge | VOHdiff(AC) | VOLdiff(AC) | $[VOHdiff(AC) - VOLdiff(AC)] / \Delta TFdiff$ |



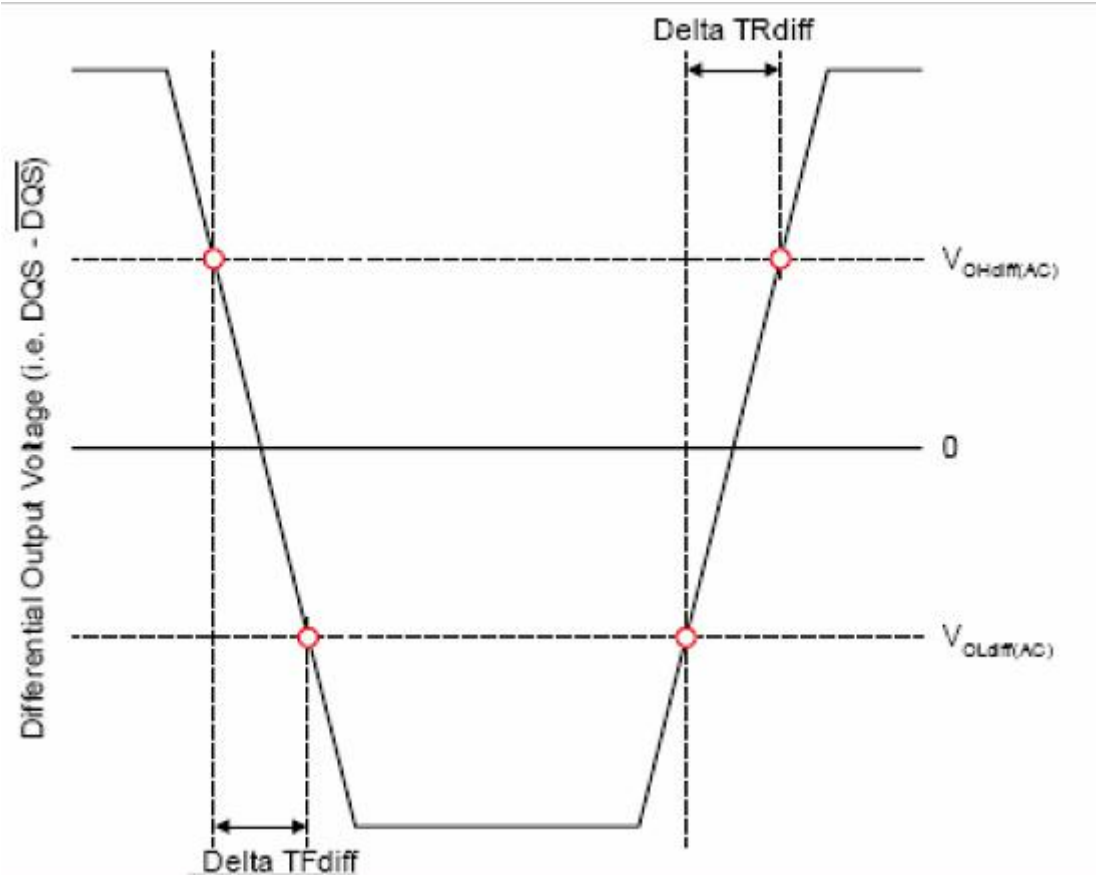


图 5.6 差分输出斜率的定义

表 5-14 差分输出斜率

| Parameter                     | Symbol  | DDR3-800 |     | DDR3-1066 |     | DDR3-1333 |     | DDR3-1600 |     | Units |
|-------------------------------|---------|----------|-----|-----------|-----|-----------|-----|-----------|-----|-------|
|                               |         | Min      | Max | Min       | Max | Min       | Max | Min       | Max |       |
| Differential Output Slew Rate | SRQdiff | 5        | 10  | 5         | 10  | 5         | 10  | TBD       | 10  | V/ns  |

### 5.3.3.5 上冲和下冲的规范

表 5-15 地址和控制引脚的交流上冲/下冲规范

| Parameter   | DDR3-800 | DDR3-1066 | DDR3-1333 | DDR3-1600 | Units |
|---|----------|-----------|-----------|-----------|-------|
| Maximum peak amplitude allowed for overshoot area.  | 0.4      | 0.4       | 0.4       | 0.4       | V     |
| Maximum peak amplitude allowed for undershoot area. | 0.4      | 0.4       | 0.4       | 0.4       | V     |
| Maximum overshoot area above VDD                    | 0.67     | 0.5       | 0.4       | 0.33      | V-ns  |
| Maximum undershoot area below VSS                   | 0.67     | 0.5       | 0.4       | 0.33      | V-ns  |
| (A0-A15, BA0-BA3, CS#, RAS#, CAS#, WE#, CKE, ODT)   |          |           |           |           |       |



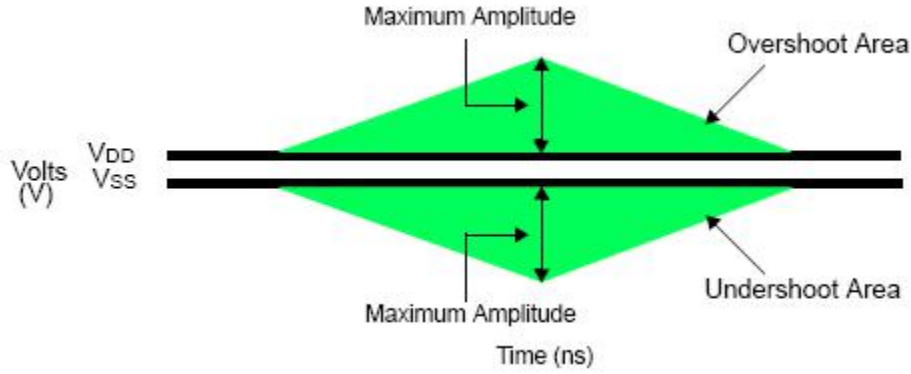


图 5.7 地址和控制的上升和下冲定义

表 5-16 时钟，数据，选通和屏蔽信号的交流上升/下冲规范

|   | DDR3-800 | DDR3-1066 | DDR3-1333 | DDR3-1600 | Units |
|---|----------|-----------|-----------|-----------|-------|
| Maximum peak amplitude allowed for overshoot area.  | 0.4      | 0.4       | 0.4       | 0.4       | V     |
| Maximum peak amplitude allowed for undershoot area. | 0.4      | 0.4       | 0.4       | 0.4       | V     |
| Maximum overshoot area above VDDQ                   | 0.25     | 0.19      | 0.15      | 0.13      | V-ns  |
| Maximum undershoot area below VSSQ                  | 0.25     | 0.19      | 0.15      | 0.13      | V-ns  |
| (CK, CK#, DQ, DQS, DQS#, DM)                        |          |           |           |           |       |

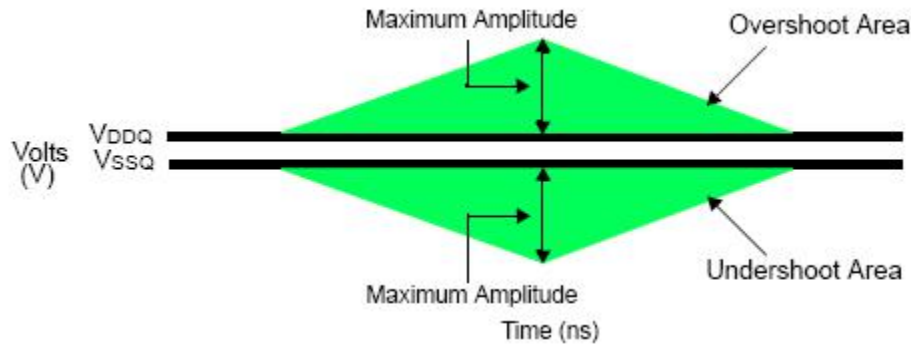


图 5.8 时钟，数据，选通和屏蔽信号的交流上升和下冲定义

### 5.3.3.6 ODT 时序定义

表 5-17 ODT 时序定义

| Symbol | Begin Point Definition   | End Point Definition   | Figure     |
|--------|--|--|------------|
| tAON   | Rising edge of CK -CK# defined by the end point of ODTLon                        | Extrapolated point at VSSQ   | Figure 103 |
| tAONPD | Rising edge of CK -CK# with ODT being first registered high                      | Extrapolated point at VSSQ   | Figure 104 |
| tAOF   | Rising edge of CK -CK# defined by the end point of ODTLoff                       | End point: Extrapolated point at VRTT_Nom                          | Figure 105 |
| tAOFPD | Rising edge of CK -CK# with ODT being first registered low                       | End point: Extrapolated point at VRTT_Nom                          | Figure 106 |
| tADC   | Rising edge of CK -CK# defined by the end point of ODTLcnw, ODTLcwn4 or ODTLcwn8 | End point: Extrapolated point at VRTT_Wr and VRTT_Nom respectively | Figure 107 |





表 5-18 ODT 时序测量的参考设置

| Measured Parameter | RTT_Nom Setting | RTT_Wr Setting | VSW1[V] | VSW2[V] |
|--------------------|-----------------|----------------|---------|---------|
| tAON               | RZQ/4           | NA             | 0.05    | 0.10    |
|                    | RZQ/12          | NA             | 0.10    | 0.20    |
| tAONPD             | RZQ/4           | NA             | 0.05    | 0.10    |
|                    | RZQ/12          | NA             | 0.10    | 0.20    |
| tAOF               | RZQ/4           | NA             | 0.05    | 0.10    |
|                    | RZQ/12          | NA             | 0.10    | 0.20    |
| tAOFPD             | RZQ/4           | NA             | 0.05    | 0.10    |
|                    | RZQ/12          | NA             | 0.10    | 0.20    |
| tAD                | RZQ/12          | RZQ/2          | 0.20    | 0.30    |

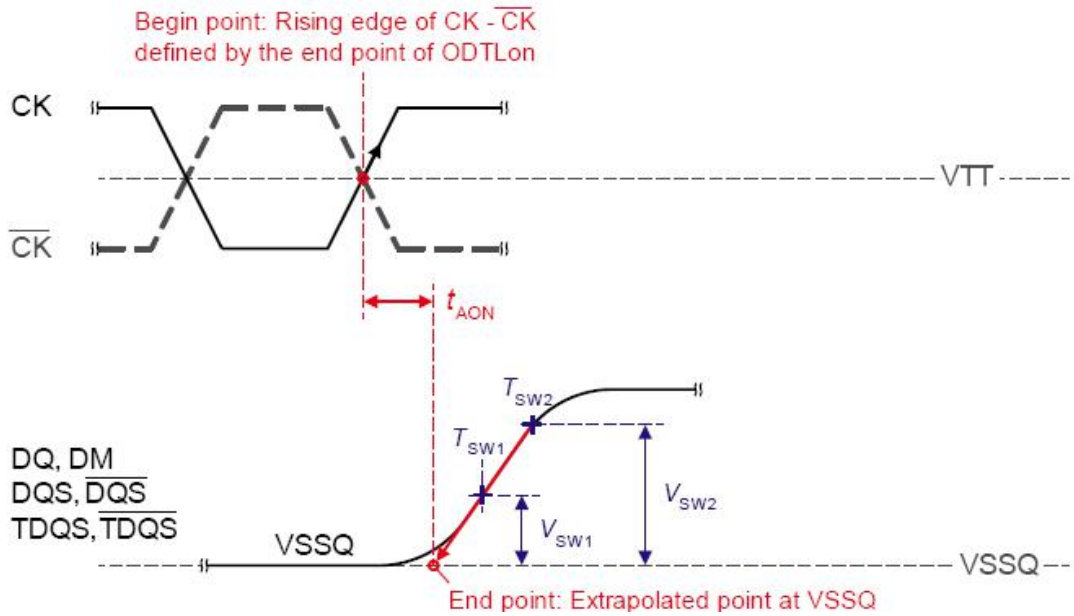


图 5.9 tAON 的定义

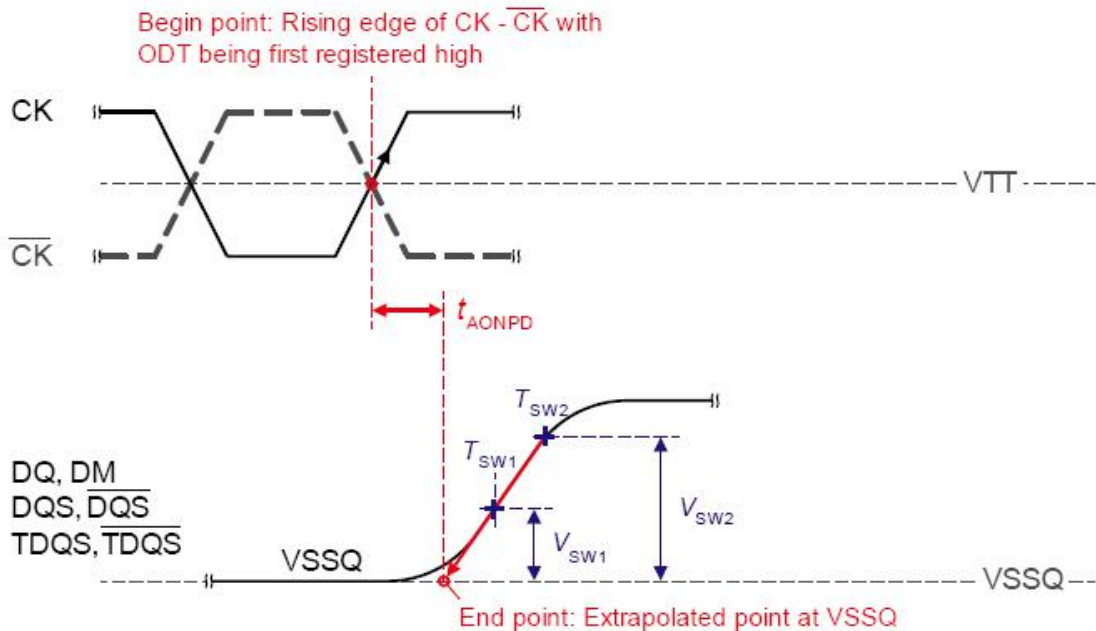




图 5.10 tAONPD 的定义

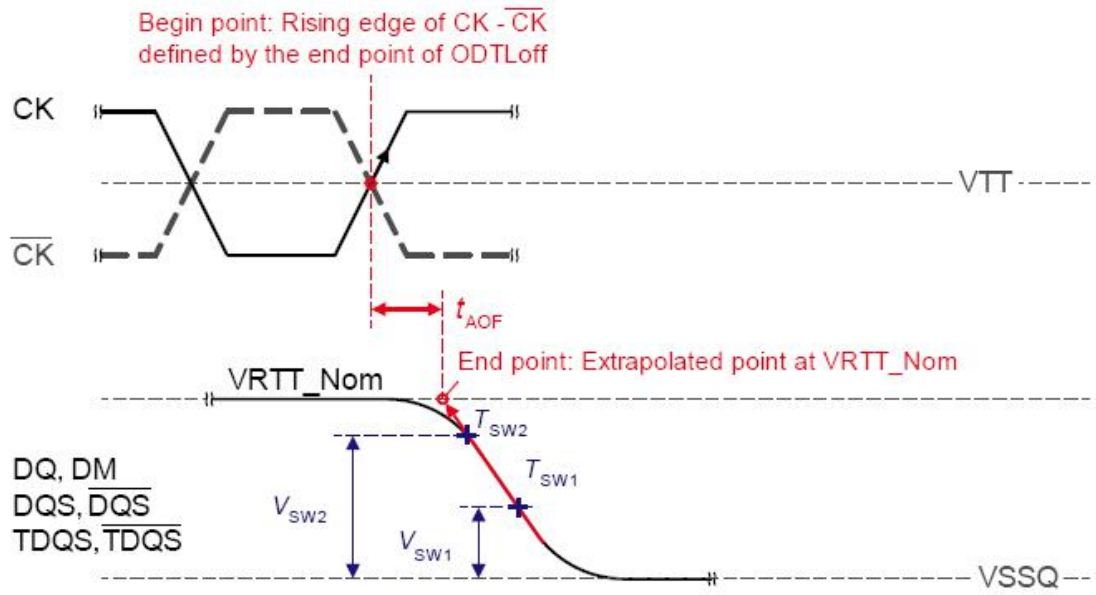


图 5.11 tAOF 的定义

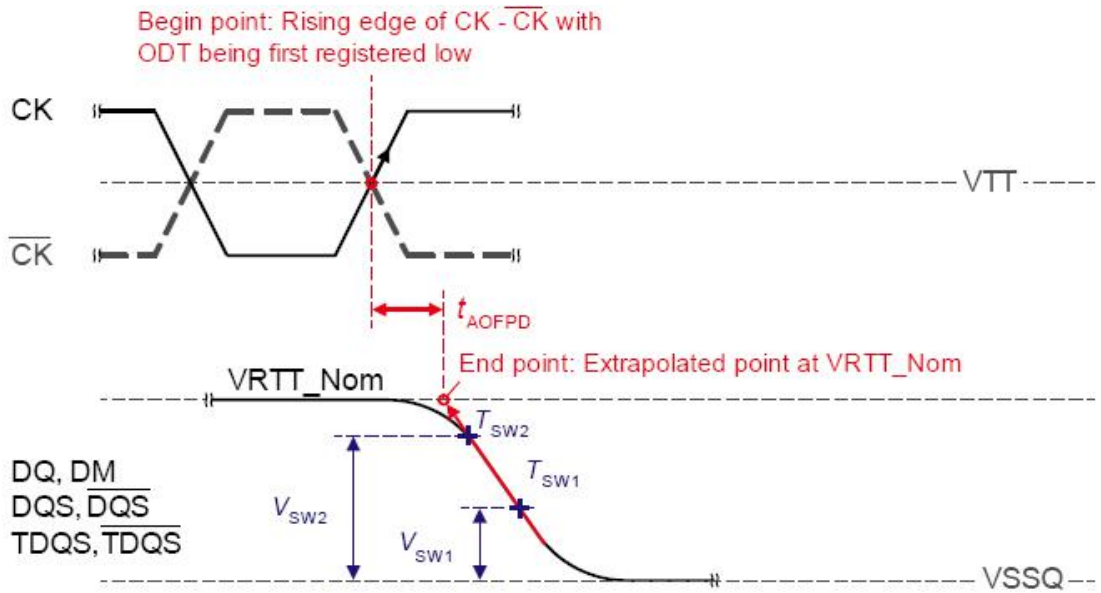


图 5.12 tAOFPD 的定义



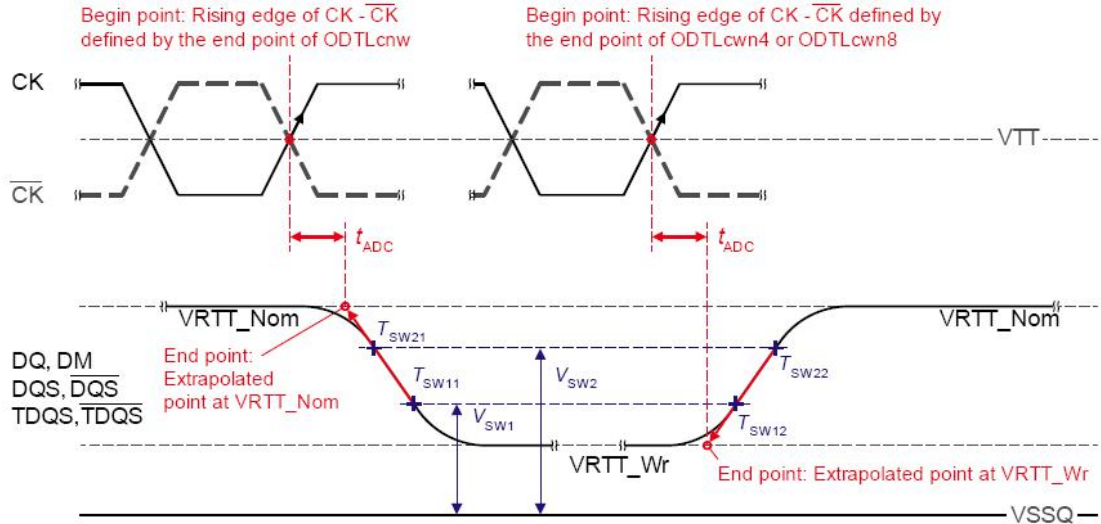


图 5.13  $t_{ADC}$  的定义

### 5.3.4 IDD 和 IDDQ 规范的参数和测试条件

表 5-19 IDD 和 IDDQ 测量循环模式的时序

| Symbol      | DDR3-800      |       | DDR3-1066 |       |       |       | DDR3-1333 |       |          |       | DDR3-1600 |          |          |     | Unit |     |
|-------------|---------------|-------|-----------|-------|-------|-------|-----------|-------|----------|-------|-----------|----------|----------|-----|------|-----|
|             | 5-5-5         | 6-6-6 | 6-6-6     | 7-7-7 | 8-8-8 | 7-7-7 | 8-8-8     | 9-9-9 | 10-10-10 | 8-8-8 | 9-9-9     | 10-10-10 | 11-11-11 |     |      |     |
| tCK         | 2.5           |       | 1.875     |       |       |       | 1.5       |       |          |       | 1.25      |          |          |     | ns   |     |
| CL          | 5             | 6     | 6         | 7     | 8     | 7     | 8         | 9     | 10       | 8     | 9         | 10       | 11       | nCK |      |     |
| nRCD        | 5             | 6     | 6         | 7     | 8     | 7     | 8         | 9     | 10       | 8     | 9         | 10       | 11       | nCK |      |     |
| nRC         | 20            | 21    | 26        | 27    | 28    | 31    | 32        | 33    | 34       | 36    | 37        | 38       | 39       | nCK |      |     |
| nRAS        | 15            |       | 20        |       |       |       | 24        |       |          |       | 28        |          |          |     | nCK  |     |
| nRP         | 5             | 6     | 6         | 7     | 8     | 7     | 8         | 9     | 10       | 8     | 9         | 10       | 11       | nCK |      |     |
| nFAW        | 1KB pagesize  | 16    |           | 20    |       |       |           | 20    |          |       |           | 24       |          |     |      | nCK |
|             | 2KB page size | 20    |           | 27    |       |       |           | 30    |          |       |           | 32       |          |     |      | nCK |
| nRRD        | 1KB page size | 4     |           | 4     |       |       |           | 4     |          |       |           | 5        |          |     |      | nCK |
|             | 2KB page size | 4     |           | 6     |       |       |           | 5     |          |       |           | 6        |          |     |      | nCK |
| nRFC 512 Mb | 36            |       | 48        |       |       |       | 60        |       |          |       | 72        |          |          |     | nCK  |     |
| nRFC 1 Gb   | 44            |       | 59        |       |       |       | 74        |       |          |       | 88        |          |          |     | nCK  |     |
| nRFC 2 Gb   | 64            |       | 86        |       |       |       | 107       |       |          |       | 128       |          |          |     | nCK  |     |
| nRFC 4 Gb   | 120           |       | 160       |       |       |       | 200       |       |          |       | 240       |          |          |     | nCK  |     |
| nRFC 8 Gb   | 140           |       | 187       |       |       |       | 234       |       |          |       | 280       |          |          |     | nCK  |     |



### 5.3.5 输入/输出电容

表 5-20 输入/输出电容

| Parameter  | Symbol                  | DDR3-800 |      | DDR3-1066 |      | DDR3-1333 |      | DDR3-1600 |      | Units |
|--|-------------------------|----------|------|-----------|------|-----------|------|-----------|------|-------|
|  |                         | Min      | Max  | Min       | Max  | Min       | Max  | Min       | Max  |       |
| Input/output capacitance (DQ, DM, DQS, DQS#, TDQS, TDQS#)      | C <sub>IO</sub>         | 1.5      | 3.0  | 1.5       | 2.7  | 1.5       | 2.5  | 1.5       | 2.3  | pF    |
| Input capacitance, CK and CK#                                  | C <sub>CK</sub>         | 0.8      | 1.6  | 0.8       | 1.6  | 0.8       | 1.4  | 0.8       | 1.4  | pF    |
| Input capacitance delta, CK and CK#                            | C <sub>DCK</sub>        | 0        | 0.15 | 0         | 0.15 | 0         | 0.15 | 0         | 0.15 | pF    |
| Input/output capacitance delta DQS and DQS#                    | C <sub>DQ</sub>         | 0        | 0.2  | 0         | 0.2  | 0         | 0.15 | 0         | 0.15 | pF    |
| Input capacitance, (CTRL, ADD, CMD input-only pins)            | C <sub>I</sub>          | 0.75     | 1.4  | 0.75      | 1.35 | 0.75      | 1.3  | 0.75      | 1.3  | pF    |
| Input capacitance delta, (All CTRL input-only pins)            | C <sub>DI_CTRL</sub>    | -0.5     | 0.3  | -0.5      | 0.3  | -0.4      | 0.2  | -0.4      | 0.2  | pF    |
| Input capacitance delta, (All ADD/ CMD input-only pins)        | C <sub>DI_ADD_CMD</sub> | -0.5     | 0.5  | -0.5      | 0.5  | -0.4      | 0.4  | -0.4      | 0.4  | pF    |
| Input/output capacitance delta, DQ, DM, DQS, DQS#, TDQS, TDQS# | C <sub>DIO</sub>        | -0.5     | 0.3  | -0.5      | 0.3  | -0.5      | 0.3  | -0.5      | 0.3  | pF    |
| Input/output capacitance of ZQ pin                             | C <sub>ZQ</sub>         | -        | 3    | -         | 3    | -         | 3    | -         | 3    | pF    |

### 5.3.6 刷新参数

表 5-21 DDR3 刷新参数

| Parameter                              | Symbol            | 512Mb           | 1Gb | 2Gb | 4Gb | 8Gb | Unit |
|--|-------------------|-----------------|-----|-----|-----|-----|------|
| REF command to ACT or REF command time | t <sub>RFC</sub>  | 90              | 110 | 160 | 300 | 350 | ns   |
| Average periodic refresh interval      | t <sub>REFI</sub> | 0 ≤ TCASE ≤ 85  | 7.8 | 7.8 | 7.8 | 7.8 | us   |
|  |                   | 85 < TCASE ≤ 95 | 3.9 | 3.9 | 3.9 | 3.9 | us   |

### 5.3.7 标准的速度分级

表 5-22 DDR3-800 Speed Bins and Operating Conditions

| Speed Bin                                |                  | DDR3-800D            |                       | DDR3-800E |                       | Unit |    |
|--|------------------|----------------------|-----------------------|-----------|-----------------------|------|----|
| CL - nRCD - nRP                          |                  | 5-5-5                |                       | 6-6-6     |                       |      |    |
| Parameter                                | Symbol           | Min.                 | Max.                  | Min.      | Max.                  |      |    |
| Internal read command to first data      | t <sub>AA</sub>  | 12.5                 | 20                    | 15        | 20                    | ns   |    |
| ACT to internal read or write delay time | t <sub>RCD</sub> | 12.5                 | —                     | 15        | —                     | ns   |    |
| PRE command period                       | t <sub>RP</sub>  | 12.5                 | —                     | 15        | —                     | ns   |    |
| ACT to ACT or REF command period         | t <sub>RC</sub>  | 50                   | —                     | 52.5      | —                     | ns   |    |
| ACT to PRE command period                | t <sub>RAS</sub> | 37.5                 | 9 * t <sub>REFI</sub> | 37.5      | 9 * t <sub>REFI</sub> | ns   |    |
| CL = 5                                   | CWL = 5          | t <sub>CK(AVG)</sub> | 2.5                   | 3.3       | 3.0                   | 3.3  | ns |
| CL = 6                                   | CWL = 5          | t <sub>CK(AVG)</sub> | 2.5                   | 3.3       | 2.5                   | 3.3  | ns |
| Supported CL Settings                    |                  | 5, 6                 |                       | 5, 6      |                       | nCK  |    |
| Supported CWL Settings                   |                  | 5                    |                       | 5         |                       | nCK  |    |



表 5-23 DDR3-1066 Speed Bins and Operating Conditions

| Speed Bin                                |         | DDR3-1066E |           | DDR3-1066F |           | DDR3-1066G |           | Unit |    |
|--|---------|------------|-----------|------------|-----------|------------|-----------|------|----|
| CL - nRCD - nRP                          |         | 6-6-6      |           | 7-7-7      |           | 8-8-8      |           |      |    |
| Parameter                                | Symbol  | Min.       | Max.      | Min.       | Max.      | Min.       | Max.      |      |    |
| Internal read command to first data      | tAA     | 11.25      | 20        | 13.125     | 20        | 15         | 20        | ns   |    |
| ACT to internal read or write delay time | tRCD    | 11.25      | —         | 13.125     | —         | 15         | —         | ns   |    |
| PRE command period                       | tRP     | 11.25      | —         | 13.125     | —         | 15         | —         | ns   |    |
| ACT to ACT or REF command period         | tRC     | 48.75      | —         | 50.625     | —         | 52.5       | —         | ns   |    |
| ACT to PRE command period                | tRAS    | 37.5       | 9 * tREFI | 37.5       | 9 * tREFI | 37.5       | 9 * tREFI | ns   |    |
| CL = 5                                   | CWL = 5 | tCK(AVG)   | 2.5       | 3.3        | 3.0       | 3.3        | 3.0       | 3.3  | ns |
|  | CWL = 6 | tCK(AVG)   | Reserved  |            | Reserved  |            | Reserved  |      | ns |
| CL = 6                                   | CWL = 5 | tCK(AVG)   | 2.5       | 3.3        | 2.5       | 3.3        | 2.5       | 3.3  | ns |
|  | CWL = 6 | tCK(AVG)   | 1.875     | <2.5       | Reserved  |            | Reserved  |      | ns |
| CL = 7                                   | CWL = 5 | tCK(AVG)   | Reserved  |            | Reserved  |            | Reserved  |      | ns |
|  | CWL = 6 | tCK(AVG)   | 1.875     | <2.5       | 1.875     | <2.5       | Reserved  |      | ns |
| CL = 8                                   | CWL = 5 | tCK(AVG)   | Reserved  |            | Reserved  |            | Reserved  |      | ns |
|  | CWL = 6 | tCK(AVG)   | 1.875     | <2.5       | 1.875     | <2.5       | 1.875     | <2.5 | ns |
| Supported CL Settings                    |         | 5,6,7,8    |           | 5,6,7,8    |           | 5,6,8      |           | nCK  |    |
| Supported CWL Settings                   |         | 5,6        |           | 5,6        |           | 5,6        |           | nCK  |    |



表 5-24 DDR3-1333 Speed Bins and Operating Conditions

| SpeedBin                                 |           | DDR3-1333F<br>(optional) |          | DDR3-1333G     |          | DDR3-1333H                               |          | DDR3-1333J<br>(optional) |          | Unit   |    |
|--|-----------|--------------------------|----------|----------------|----------|--|----------|--------------------------|----------|--------|----|
| CL-nRCD-nRP                              |           | 7-7-7                    |          |                |          | 9-9-9                                    |          | 10-10-10                 |          |        |    |
| Parameter                                | Symbol    | min                      | max      | min            | max      | min                                      | max      | min                      | max      |        |    |
| Internal read command to first data      | $t_{AA}$  | 10.5                     | 20       | 12             | 20       | 13.5(13.125) <sub>5,1</sub> <sub>1</sub> | 20       | 15                       | 20       | ns     |    |
| ACT to internal read or write delay time | $t_{RCD}$ | 10.5                     | —        | 12             | —        | 13.5(13.125) <sub>5,1</sub> <sub>1</sub> | —        | 15                       | —        | ns     |    |
| PRE command period                       | $t_{RP}$  | 10.5                     | —        | 12             | —        | 13.5(13.125) <sub>5,1</sub> <sub>1</sub> | —        | 15                       | —        | ns     |    |
| ACT to ACT or REF command period         | $t_{RC}$  | 46.5                     | —        | 48             | —        | 49.5(49.125) <sub>5,1</sub> <sub>1</sub> | —        | 51                       | —        | ns     |    |
| ACT to PRE command period                | $t_{RAS}$ | 36                       | 9*tREFI  | 36             | 9*tREFI  | 36                                       | 9*tREFI  | 36                       | 9*tREFI  | ns     |    |
| CL=5                                     | CWL=5     | $t_{CK(AVG)}$            | 2.5      | 3.3            | 2.5      | 3.3                                      | 3.0      | 3.3                      | 3.0      | 3.3    | ns |
|  | CWL=6,7   | $t_{CK(AVG)}$            | Reserved |                | Reserved |  | Reserved |                          | Reserved |        | ns |
| CL=6                                     | CWL=5     | $t_{CK(AVG)}$            | 2.5      | 3.3            | 2.5      | 3.3                                      | 2.5      | 3.3                      | 2.5      | 3.3    | ns |
|  | CWL=6     | $t_{CK(AVG)}$            | 1.875    | <2.5           | Reserved |  | Reserved |                          | Reserved |        | ns |
|  | CWL=7     | $t_{CK(AVG)}$            | Reserved |                | Reserved |  | Reserved |                          | Reserved |        | ns |
| CL=7                                     | CWL=5     | $t_{CK(AVG)}$            | Reserved |                | Reserved |  | Reserved |                          | Reserved |        | ns |
|  | CWL=6     | $t_{CK(AVG)}$            | 1.875    | <2.5           | 1.875    | <2.5                                     | 1.875    | <2.5                     | Reserved |        | ns |
|  | CWL=7     | $t_{CK(AVG)}$            | 1.5      | <1.875         | Reserved |  | Reserved |                          | Reserved |        | ns |
| CL=8                                     | CWL=5     | $t_{CK(AVG)}$            | Reserved |                | Reserved |  | Reserved |                          | Reserved |        | ns |
|  | CWL=6     | $t_{CK(AVG)}$            | 1.875    | <2.5           | 1.875    | <2.5                                     | 1.875    | <2.5                     | 1.875    | <2.5   | ns |
|  | CWL=7     | $t_{CK(AVG)}$            | 1.5      | <1.875         | 1.5      | <1.875                                   | Reserved |                          | Reserved |        | ns |
| CL=9                                     | CWL=5,6   | $t_{CK(AVG)}$            | Reserved |                | Reserved |  | Reserved |                          | Reserved |        | ns |
|  | CWL=7     | $t_{CK(AVG)}$            | 1.5      | <1.875         | 1.5      | <1.875                                   | 1.5      | <1.875                   | Reserved |        | ns |
| CL=10                                    | CWL=5,6   | $t_{CK(AVG)}$            | Reserved |                | Reserved |  | Reserved |                          | Reserved |        | ns |
|  | CWL=7     | $t_{CK(AVG)}$            | 1.5      | <1.875         | 1.5      | <1.875                                   | 1.5      | <1.875                   | 1.5      | <1.875 | ns |
| Supported CL Settings                    |           | 5,6,7,8,9,(10)           |          | 5,6,7,8,9,(10) |          | 5,6,8,(7),9,(10)                         |          | 5,6,8,10                 |          | nCK    |    |
| Supported CWL Settings                   |           | 5, 6, 7                  |          | 5, 6, 7        |          | 5, 6, 7                                  |          | 5, 6, 7                  |          | nCK    |    |



表 5-25 DDR3-1600 Speed Bins and Operating Conditions

| SpeedBin                                 |           | DDR3-1600G<br>(optional) |            | DDR3-1600H        |            | DDR3-1600J    |            | DDR3-1600K                    |                            | Unit      |    |
|--|-----------|--------------------------|------------|-------------------|------------|---------------|------------|-------------------------------|----------------------------|-----------|----|
| CL-nRCD-nRP                              |           | 8-8-8                    |            | 9-9-9             |            | 10-10-10      |            | 11-11-11                      |                            |           |    |
| Parameter                                | Symbol    | min                      | max        | min               | max        | min           | max        | min                           | max                        |           |    |
| Internal read command to first data      | $t_{AA}$  | 10                       | 20         | 11.25             | 20         | 12.5          | 20         | 13.75(13.125) <sub>5,11</sub> | 20                         | ns        |    |
| ACT to internal read or write delay time | $t_{RCD}$ | 10                       | —          | 11.25             | —          | 12.5          | —          | 13.75(13.125) <sub>5,11</sub> | —                          | ns        |    |
| PRE command period                       | $t_{RP}$  | 10                       | —          | 11.25             | —          | 12.5          | —          | 13.75(13.125) <sub>5,11</sub> | —                          | ns        |    |
| ACT to ACT or REF command period         | $t_{RC}$  | 45                       | —          | 46.25             | —          | 47.5          | —          | 48.75(48.125) <sub>5,11</sub> | —                          | ns        |    |
| ACT to PRE command period                | $t_{RAS}$ | 35                       | 9*tREFI    | 35                | 9*tREFI    | 35            | 9*tREFI    | 35                            | 9 * tREFI                  | ns        |    |
| CL = 5                                   | CWL=5     | $t_{CK(AVG)}$            | 2.5        | 3.3               | 2.5        | 3.3           | 2.5        | 3.3                           | 3.0                        | 3.3       | ns |
|  | CWL=6,7,8 | $t_{CK(AVG)}$            | Reserved   |                   | Reserved   |               | Reserved   |                               | Reserved                   |           | ns |
| CL = 6                                   | CWL=5     | $t_{CK(AVG)}$            | 2.5        | 3.3               | 2.5        | 3.3           | 2.5        | 3.3                           | 2.5                        | 3.3       | ns |
|  | CWL=6     | $t_{CK(AVG)}$            | 1.875      | <2.5              | 1.875      | <2.5          | Reserved   | Reserved                      | ns                         | 1,2,3,4,8 |    |
|  | CWL=7,8   | $t_{CK(AVG)}$            | Reserved   |                   | Reserved   |               | Reserved   |                               | Reserved                   |           | ns |
| CL = 7                                   | CWL=5     | $t_{CK(AVG)}$            | Reserved   |                   | Reserved   |               | Reserved   |                               | Reserved                   |           | ns |
|  | CWL=6     | $t_{CK(AVG)}$            | 1.875      | <2.5              | 1.875      | <2.5          | 1.875      | <2.5                          | 1.875                      | <2.5      | ns |
|  |           |                          |            |                   |            |               |            |                               | (Optional) <sub>5,11</sub> |           |    |
|  | CWL=7     | $t_{CK(AVG)}$            | 1.5        | <1.875            | Reserved   |               | Reserved   |                               | Reserved                   |           | ns |
| CL = 8                                   | CWL=8     | $t_{CK(AVG)}$            | Reserved   |                   | Reserved   |               | Reserved   |                               | Reserved                   |           | ns |
|  | CWL=5     | $t_{CK(AVG)}$            | Reserved   |                   | Reserved   |               | Reserved   |                               | Reserved                   |           | ns |
|  | CWL=6     | $t_{CK(AVG)}$            | 1.875      | <2.5              | 1.875      | <2.5          | 1.875      | <2.5                          | 1.875                      | <2.5      | ns |
|  | CWL=7     | $t_{CK(AVG)}$            | 1.5        | <1.875            | 1.5        | <1.875        | Reserved   | Reserved                      | ns                         | 1,2,3,4,8 |    |
| CL = 9                                   | CWL=8     | $t_{CK(AVG)}$            | 1.25       | <1.5              | Reserved   |               | Reserved   |                               | Reserved                   |           | ns |
|  | CWL=5,6   | $t_{CK(AVG)}$            | Reserved   |                   | Reserved   |               | Reserved   |                               | Reserved                   |           | ns |
|  | CWL=7     | $t_{CK(AVG)}$            | 1.5        | <1.875            | 1.5        | <1.875        | 1.5        | <1.875                        | 1.5                        | <1.875    | ns |
|  |           |                          |            |                   |            |               |            | (Optional) <sub>5,11</sub>    |                            |           |    |
| CL = 10                                  | CWL=8     | $t_{CK(AVG)}$            | 1.25       | <1.5              | 1.25       | <1.5          | Reserved   |                               | Reserved                   |           | ns |
|  | CWL=5,6   | $t_{CK(AVG)}$            | Reserved   |                   | Reserved   |               | Reserved   |                               | Reserved                   |           | ns |
|  | CWL=7     | $t_{CK(AVG)}$            | 1.5        | <1.875            | 1.5        | <1.875        | 1.5        | <1.875                        | 1.5                        | <1.875    | ns |
| CL = 11                                  | CWL=8     | $t_{CK(AVG)}$            | 1.25       | <1.5              | 1.25       | <1.5          | 1.25       | <1.5                          | 1.25                       | <1.5      | ns |
|  | CWL=5,6,7 | $t_{CK(AVG)}$            | Reserved   |                   | Reserved   |               | Reserved   |                               | Reserved                   |           | ns |
|  |           |                          | (Optional) |                   | (Optional) |               | (Optional) |                               | 1.25                       | <1.5      | ns |
| Supported CL Settings                    |           | 5,6,7,8,9,10,(11)        |            | 5,6,7,8,9,10,(11) |            | 5,6,7,8,9,10, |            | 5,6,7,8,9,10,(11)             |                            | nCK       |    |
| Supported CWL Settings                   |           | 5,6,7,8                  |            | 5,6,7,8           |            | 5,6,7,8       |            | 5,6,7,8                       |                            | nCK       |    |



### 5.3.8 DDR3 的时序参数

表 5-26 Timing Parameters by Speed Bin

| Parameter  | Symbol        | DDR3-800                              |                                       | DDR3-1066                             |                                       | DDR3-1333                             |                                       | DDR3-1600                             |                                       | Units    |
|--|---------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|---------------------------------------|----------|
|  |               | Min                                   | Max                                   | Min                                   | Max                                   | Min                                   | Max                                   | Min                                   | Max                                   |          |
| <b>Clock Timing</b>                                    |               |                                       |                                       |                                       |                                       |                                       |                                       |                                       |                                       |          |
| Minimum Clock Cycle Time (DLL off mode)                | tCK(DLL_OFF)  | 8                                     | -                                     | 8                                     | -                                     | 8                                     | -                                     | 8                                     | -                                     | ns       |
| Average Clock Period                                   | tCK(avg)      |                                       |                                       |                                       |                                       |                                       |                                       |                                       |                                       | ps       |
| Average high pulse width                               | tCH(avg)      | 0.47                                  | 0.53                                  | 0.47                                  | 0.53                                  | 0.47                                  | 0.53                                  | 0.47                                  | 0.53                                  | tCK(avg) |
| Average low pulse width                                | tCL(avg)      | 0.47                                  | 0.53                                  | 0.47                                  | 0.53                                  | 0.47                                  | 0.53                                  | 0.47                                  | 0.53                                  | tCK(avg) |
| Absolute Clock Period                                  | tCK(abs)      | tCK(avg)<br>min +<br>tJIT(per)<br>min | tCK(avg)<br>max +<br>tJIT(per)<br>max | tCK(avg)<br>min +<br>tJIT(per)<br>min | tCK(avg)<br>max +<br>tJIT(per)<br>max | tCK(avg)<br>min +<br>tJIT(per)<br>min | tCK(avg)<br>max +<br>tJIT(per)<br>max | tCK(avg)<br>min +<br>tJIT(per)<br>min | tCK(avg)<br>max +<br>tJIT(per)<br>max | ps       |
| Absolute clock HIGH pulse width                        | tCH(abs)      | 0.43                                  | -                                     | 0.43                                  | -                                     | 0.43                                  | -                                     | 0.43                                  | -                                     | tCK(avg) |
| Absolute clock LOW pulse width                         | tCL(abs)      | 0.43                                  | -                                     | 0.43                                  | -                                     | 0.43                                  | -                                     | 0.43                                  | -                                     | tCK(avg) |
| Clock Period Jitter                                    | JIT(per)      | -100                                  | 100                                   | -90                                   | 90                                    | -80                                   | 80                                    | -70                                   | 70                                    | ps       |
| Clock Period Jitter during DLL locking period          | tJIT(per,lck) | -90                                   | 90                                    | -80                                   | 80                                    | -70                                   | 70                                    | -60                                   | 60                                    | ps       |
| Cycle to Cycle Period Jitter                           | tJIT(cc)      | 200                                   |                                       | 180                                   |                                       | 160                                   |                                       | 140                                   |                                       | ps       |
| Cycle to Cycle Period Jitter during DLL locking period | tJIT(cc,lck)  | 180                                   |                                       | 160                                   |                                       | 140                                   |                                       | 120                                   |                                       | ps       |
| Duty Cycle Jitter                                      | tJIT(duty)    | -                                     | -                                     | -                                     | -                                     | -                                     | -                                     | -                                     | -                                     | ps       |
| Cumulative error across 2 cycles                       | tERR(2per)    | -147                                  | 147                                   | -132                                  | 132                                   | -118                                  | 118                                   | -103                                  | 103                                   | ps       |
| Cumulative error across 3 cycles                       | tERR(3per)    | -175                                  | 175                                   | -157                                  | 157                                   | -140                                  | 140                                   | -122                                  | 122                                   | ps       |
| Cumulative error across 4 cycles                       | tERR(4per)    | -194                                  | 194                                   | -175                                  | 175                                   | -155                                  | 155                                   | -136                                  | 136                                   | ps       |
| Cumulative error across 5 cycles                       | tERR(5per)    | -209                                  | 209                                   | -188                                  | 188                                   | -168                                  | 168                                   | -147                                  | 147                                   | ps       |
| Cumulative error across 6 cycles                       | tERR(6per)    | -222                                  | 222                                   | -200                                  | 200                                   | -177                                  | 177                                   | -155                                  | 155                                   | ps       |
| Cumulative error across 7 cycles                       | tERR(7per)    | -232                                  | 232                                   | -209                                  | 209                                   | -186                                  | 186                                   | -163                                  | 163                                   | ps       |
| Cumulative error across 8 cycles                       | tERR(8per)    | -241                                  | 241                                   | -217                                  | 217                                   | -193                                  | 193                                   | -169                                  | 169                                   | ps       |
| Cumulative error across 9 cycles                       | tERR(9per)    | -249                                  | 249                                   | -224                                  | 224                                   | -200                                  | 200                                   | -175                                  | 175                                   | ps       |



|  |             |   |     |      |     |      |     |      |     |    |
|--|-------------|---|-----|------|-----|------|-----|------|-----|----|
| Cumulative error across 10 cycles                      | tERR(10per) | -257  | 257 | -231 | 231 | -205 | 205 | -180 | 180 | ps |
| Cumulative error across 11 cycles                      | tERR(11per) | -263  | 263 | -237 | 237 | -210 | 210 | -184 | 184 | ps |
| Cumulative error across 12 cycles                      | tERR(12per) | -269  | 269 | -242 | 242 | -215 | 215 | -188 | 188 | ps |
| Cumulative error across n = 13, 14 . . . 49, 50 cycles | tERR(nper)  | $tERR(nper)_{min} = (1 + 0.68\ln(n)) * tJIT(per)_{min}$ | ps  | 24   |     |      |     |      |     |    |
|  |             | $tERR(nper)_{max} = (1 + 0.68\ln(n)) * tJIT(per)_{max}$ |     |      |     |      |     |      |     |    |

**Data Timing**

|  |                |      |     |      |     |      |     |      |     |          |
|--|----------------|------|-----|------|-----|------|-----|------|-----|----------|
| DQS, DQS# to DQ skew, per group, per access                          | tDQSQ          | -    | 200 | -    | 150 | -    | 125 | -    | 100 | ps       |
| DQ output hold time from DQS, DQS#                                   | tQH            | 0.38 | -   | 0.38 | -   | 0.38 | -   | 0.38 | -   | tCK(avg) |
| DQ low-impedance time from CK, CK#                                   | tLZ(DQ)        | -800 | 400 | -600 | 300 | -500 | 250 | -450 | 225 | ps       |
| DQ high impedance time from CK, CK#                                  | tHZ(DQ)        | -    | 400 | -    | 300 | -    | 250 | -    | 225 | ps       |
| Data setup time to DQS, DQS# referenced to Vih(ac) / Vil(ac) levels  | tDS(base)AC175 | 75   |     | 25   |     | -    |     | -    |     | ps       |
| Data setup time to DQS, DQS# referenced to Vih(ac) / Vil(ac) levels  | tDS(base)AC150 | 125  |     | 75   |     | 30   |     | 10   |     | ps       |
| Data hold time from DQS, DQS# referenced to Vih(dc) / Vil(dc) levels | tDH(base)DC100 | 150  |     | 100  |     | 65   |     | 45   |     | ps       |
| DQ and DM Input pulse width for each input                           | tDIPW          | 600  | -   | 490  | -   | 400  | -   | 360  | -   | ps       |

**Data Strobe Timing**

|                                       |       |     |        |     |        |     |        |     |        |          |
|---------------------------------------|-------|-----|--------|-----|--------|-----|--------|-----|--------|----------|
| DQS, DQS# differential READ Preamble  | tRPRE | 0.9 | Note19 | 0.9 | Note19 | 0.9 | Note19 | 0.9 | Note19 | tCK(avg) |
| DQS, DQS# differential READ Postamble | tRPST | 0.3 | Note11 | 0.3 | Note11 | 0.3 | Note11 | 0.3 | Note11 | tCK(avg) |





|   |          |                  |      |                  |      |                  |      |                  |      |          |
|---|----------|------------------|------|------------------|------|------------------|------|------------------|------|----------|
| DQS, DQS# differential output high time                                 | tQSH     | 0.38             | -    | 0.38             | -    | 0.40             | -    | 0.40             | -    | tCK(avg) |
| DQS, DQS# differential output low time                                  | tQSL     | 0.38             | -    | 0.38             | -    | 0.40             | -    | 0.40             | -    | tCK(avg) |
| DQS, DQS# differential WRITE Preamble                                   | tWPRE    | 0.9              | -    | 0.9              | -    | 0.9              | -    | 0.9              | -    | tCK(avg) |
| DQS, DQS# differential WRITE Postamble                                  | tWPST    | 0.3              | -    | 0.3              | -    | 0.3              | -    | 0.3              | -    | tCK(avg) |
| DQS, DQS# rising edge output access time from rising CK, CK#            | tDQCK    | -400             | 400  | -300             | 300  | -255             | 255  | -225             | 225  | ps       |
| DQS and DQS# low-impedance time (Referenced from RL - 1)                | tLZ(DQS) | -800             | 400  | -600             | 300  | -500             | 250  | -450             | 225  | ps       |
| DQS and DQS# high-impedance time (Referenced from RL + BL/2)            | tHZ(DQS) | -                | 400  | -                | 300  | -                | 250  | -                | 225  | ps       |
| DQS, DQS# differential input low pulse width                            | tDQSL    | 0.45             | 0.55 | 0.45             | 0.55 | 0.45             | 0.55 | 0.45             | 0.55 | tCK(avg) |
| DQS, DQS# differential input high pulse width                           | tDQSH    | 0.45             | 0.55 | 0.45             | 0.55 | 0.45             | 0.55 | 0.45             | 0.55 | tCK(avg) |
| DQS, DQS# rising edge to CK, CK# rising edge                            | tDQSS    | -0.25            | 0.25 | -0.25            | 0.25 | -0.25            | 0.25 | -0.27            | 0.27 | tCK(avg) |
| DQS, DQS# falling edge setup time to CK, CK# rising edge                | tDSS     | 0.2              | -    | 0.2              | -    | 0.2              | -    | 0.18             | -    | tCK(avg) |
| DQS, DQS# falling edge hold time from CK, CK# rising edge               | tDSH     | 0.2              | -    | 0.2              | -    | 0.2              | -    | 0.18             | -    | tCK(avg) |
| <b>Command and Address Timing</b>                                       |          |                  |      |                  |      |                  |      |                  |      |          |
| DLL locking time  | tDLLK    | 512              | -    | 512              | -    | 512              | -    | 512              | -    | nCK      |
| Internal READ Command to PRECHARGE Command delay                        | tRTP     | max(4nCK, 7.5ns) | —    | max(4nCK, 7.5ns) | -    | max(4nCK, 7.5ns) | -    | max(4nCK, 7.5ns) | -    |          |
| Delay from start of internal write transaction to internal read command | tWTR     | max(4nCK, 7.5ns) | —    | max(4nCK, 7.5ns) | -    | max(4nCK, 7.5ns) | -    | max(4nCK, 7.5ns) | -    |          |
| WRITE recovery time   | tWR      | 15               | —    | 15               | -    | 15               | -    | 15               | -    | ns       |
| Mode Register Set command cycle time                                    | tMRD     | 4                | —    | 4                | -    | 4                | -    | 4                | -    | nCK      |



|   |                |                              |     |                  |   |                  |   |                  |   |     |
|---|----------------|------------------------------|-----|------------------|---|------------------|---|------------------|---|-----|
| Mode Register Set command update delay  | tMOD           | max(12nCK, 15ns)             | —   | max(12nCK, 15ns) | - | max(12nCK, 15ns) | - | max(12nCK, 15ns) | - |     |
| ACT to internal read or write delay time  | tRCD           | -                            | —   | -                | - |                  |   |                  |   |     |
| PRE command period  | tRP            | -                            | —   | -                | - |                  |   |                  |   |     |
| ACT to ACT or REF command period  | tRC            | -                            | —   | -                | - |                  |   |                  |   |     |
| CAS# to CAS# command delay  | tCCD           | 4                            | —   | 4                | - | 4                | - | 4                | - | nCK |
| Auto precharge write recovery + precharge time                                    | tDAL(min)      | WR + roundup(tRP / tCK(avg)) | nCK |                  |   |                  |   |                  |   |     |
| Multi-Purpose Register Recovery Time  | tMPRR          | 1                            | -   | 1                | - | 1                | - | 1                | - | nCK |
| ACTIVE to PRECHARGE command period  | tRAS           | -                            | -   | -                | - |                  |   |                  |   |     |
| ACTIVE to ACTIVE command period for 1KB page size                                 | tRRD           | max(4nCK, 10ns)              | -   | max(4nCK, 7.5ns) | - | max(4nCK, 6ns)   | - | max(4nCK, 6ns)   | - |     |
| ACTIVE to ACTIVE command period for 2KB page size                                 | tRRD           | max(4nCK, 10ns)              | -   | max(4nCK, 10ns)  | - | max(4nCK, 7.5ns) | - | max(4nCK, 7.5ns) | - |     |
| Four activate window for 1KB page size  | tFAW           | 40                           | -   | 37.5             | - | 30               | - | 30               | - | ns  |
| Four activate window for 2KB page size  | tFAW           | 50                           | -   | 50               | - | 45               | - | 40               | - | ns  |
| Command and Address setup time to CK, CK# referenced to Vih(ac) / Vil(ac) levels  | tIS(base)AC175 | 200                          |     | 125              |   | 65               |   | 45               |   | ps  |
| Command and Address setup time to CK, CK# referenced to Vih(ac) / Vil(ac) levels  | tIS(base)AC150 | 350                          |     | 275              |   | 190              |   | 170              |   | ps  |
| Command and Address hold time from CK, CK# referenced to Vih(dc) / Vil(dc) levels | tIH(base)DC100 | 275                          |     | 200              |   | 140              |   | 120              |   | ps  |
| Control and Address Input pulse width for each input                              | tIPW           | 900                          | -   | 780              | - | 620              | - | 560              | - | ps  |
| <b>Calibration Timing</b>   |                |                              |     |                  |   |                  |   |                  |   |     |



|  |         |                          |   |                          |   |                          |   |                          |   |     |
|--|---------|--------------------------|---|--------------------------|---|--------------------------|---|--------------------------|---|-----|
| Power-up and RESET calibration time  | tZQinit | max(512nCK,640ns)        | - | max(512nCK,640ns)        | - | max(512nCK,640ns)        | - | max(512nCK,640ns)        | - |     |
| Normal operation Full calibration time   | tZQoper | max(256nCK,320ns)        | - | max(256nCK,320ns)        | - | max(256nCK,320ns)        | - | max(256nCK,320ns)        | - |     |
| Normal operation Short calibration time  | tZQCS   | max(64nCK,80ns)          | - | max(64nCK,80ns)          | - | max(64nCK,80ns)          | - | max(64nCK,80ns)          | - |     |
| <b>Reset Timing</b>  |         |                          |   |                          |   |                          |   |                          |   |     |
| Exit Reset from CKE HIGH to a valid command  | tXPR    | max(5nCK,tRFC(min)+10ns) | - | max(5nCK,tRFC(min)+10ns) | - | max(5nCK,tRFC(min)+10ns) | - | max(5nCK,tRFC(min)+10ns) | - |     |
| <b>Self Refresh Timings</b>  |         |                          |   |                          |   |                          |   |                          |   |     |
| Exit Self Refresh to commands not requiring a locked DLL   | tXS     | max(5nCK,tRFC(min)+10ns) | - | max(5nCK,tRFC(min)+10ns) | - | max(5nCK,tRFC(min)+10ns) | - | max(5nCK,tRFC(min)+10ns) | - |     |
| Exit Self Refresh to commands requiring a locked DLL   | tXSDLL  | tDLLK(min)               | - | tDLLK(min)               | - | tDLLK(min)               | - | tDLLK(min)               | - | nCK |
| Minimum CKE low width for Self Refresh entry to exit timing  | tCKESR  | tCKE(min)+1nCK           | - | tCKE(min)+1nCK           | - | tCKE(min)+1nCK           | - | tCKE(min)+1nCK           | - |     |
| Valid Clock Requirement after Self Refresh Entry (SRE) or Power-Down Entry (PDE)   | tCKSRE  | max(5nCK,10ns)           | - | max(5nCK,10ns)           | - | max(5nCK,10ns)           | - | max(5nCK,10ns)           | - |     |
| Valid Clock Requirement before Self Refresh Exit (SRX) or Power-Down Exit (PDX) or Reset Exit                                      | tCKSRX  | max(5nCK,10ns)           | - | max(5nCK,10ns)           | - | max(5nCK,10ns)           | - | max(5nCK,10ns)           | - |     |
| <b>Power Down Timings</b>  |         |                          |   |                          |   |                          |   |                          |   |     |
| Exit Power Down with DLL on to any valid command; Exit Precharge Power Down with DLL frozen to commands not requiring a locked DLL | tXP     | max(3nCK,7.5ns)          | - | max(3nCK,7.5ns)          | - | max(3nCK,6ns)            | - | max(3nCK,6ns)            | - |     |
| Exit Precharge Power Down with DLL frozen to commands requiring a locked DLL   | tXPDLL  | max(10nCK,24ns)          | - | max(10nCK,24ns)          | - | max(10nCK,24ns)          | - | max(10nCK,24ns)          | - |     |



|  |          |                     |         |                     |         |                     |         |                     |         |     |
|--|----------|---------------------|---------|---------------------|---------|---------------------|---------|---------------------|---------|-----|
| CKE minimum pulse width  | tCKE     | max(3nCK, 7.5ns)    | -       | max(3nCK, 5.625ns)  | -       | max(3nCK, 5.625ns)  | -       | max(3nCK, 5ns)      | -       |     |
| Command pass disable delay   | tCPDED   | 1                   | -       | 1                   | -       | 1                   | -       | 1                   | -       | nCK |
| Power Down Entry to Exit Timing                                    | tPD      | tCKE(min)           | 9*tREFI | tCKE(min)           | 9*tREFI | tCKE(min)           | 9*tREFI | tCKE(min)           | 9*tREFI |     |
| Timing of ACT command to Power Down entry                          | tACTPDEN | 1                   | -       | 1                   | -       | 1                   | -       | 1                   | -       | nCK |
| Timing of PRE or PREA command to Power Down entry                  | tPRPDEN  | 1                   | -       | 1                   | -       | 1                   | -       | 1                   | -       | nCK |
| Timing of RD/RDA command to Power Down entry                       | tRDPDEN  | RL+4+1              | -       | RL+4+1              | -       | RL+4+1              | -       | RL+4+1              | -       | nCK |
| Timing of WR command to Power Down entry (BL8OTF, BL8MRS, BC4OTF)  | tWRPDEN  | WL+4+(tWR/tCK(avg)) | -       | WL+4+(tWR/tCK(avg)) | -       | WL+4+(tWR/tCK(avg)) | -       | WL+4+(tWR/tCK(avg)) | -       | nCK |
| Timing of WRA command to Power Down entry (BL8OTF, BL8MRS, BC4OTF) | tWRAPDEN | WL+4+WR+1           | -       | WL+4+WR+1           | -       | WL+4+WR+1           | -       | WL+4+WR+1           | -       | nCK |
| Timing of WR command to Power Down entry (BC4MRS)                  | tWRPDEN  | WL+2+(tWR/tCK(avg)) | -       | WL+2+(tWR/tCK(avg)) | -       | WL+2+(tWR/tCK(avg)) | -       | WL+2+(tWR/tCK(avg)) | -       | nCK |
| Timing of WRA command to Power Down entry (BC4MRS)                 | tWRAPDEN | WL+2+WR+1           | -       | WL+2+WR+1           | -       | WL+2+WR+1           | -       | WL+2+WR+1           | -       | nCK |
| Timing of REF command to Power Down entry                          | tREFPDEN | 1                   | -       | 1                   | -       | 1                   | -       | 1                   | -       | nCK |
| Timing of MRS command to Power Down entry                          | tMRSPDEN | tMOD(min)           | -       | tMOD(min)           | -       | tMOD(min)           | -       | tMOD(min)           | -       |     |
| <b>ODT Timings</b>   |          |                     |         |                     |         |                     |         |                     |         |     |
| ODT turn on Latency  | ODTLon   | WL-2=CWL+AL-2       |         |                     |         |                     |         |                     |         | nCK |
| ODT turn off Latency   | ODTLoft  | WL-2=CWL+AL-2       |         |                     |         |                     |         |                     |         | nCK |
| ODT high time without write command or with write command and BC4  | ODTH4    | 4                   | -       | 4                   | -       | 4                   | -       | 4                   | -       | nCK |
| ODT high time with Write command and BL8                           | ODTH8    | 6                   | -       | 6                   | -       | 6                   | -       | 6                   | -       | nCK |



|   |          |      |     |      |     |      |     |      |     |          |
|---|----------|------|-----|------|-----|------|-----|------|-----|----------|
| Asynchronous RTT turn-on delay (Power-Down with DLL frozen)                         | tAONPD   | 2    | 8.5 | 2    | 8.5 | 2    | 8.5 | 2    | 8.5 | ns       |
| Asynchronous RTT turn-off delay (Power-Down with DLL frozen)                        | tAOFPD   | 2    | 8.5 | 2    | 8.5 | 2    | 8.5 | 2    | 8.5 | ns       |
| RTT turn-on   | tAON     | -400 | 400 | -300 | 300 | -250 | 250 | -225 | 225 | ps       |
| RTT_Nom and RTT_WR turn-off time from ODTLoff reference                             | tAOF     | 0.3  | 0.7 | 0.3  | 0.7 | 0.3  | 0.7 | 0.3  | 0.7 | tCK(avg) |
| RTT dynamic change skew   | tADC     | 0.3  | 0.7 | 0.3  | 0.7 | 0.3  | 0.7 | 0.3  | 0.7 | tCK(avg) |
| <b>Write Leveling Timings</b>   |          |      |     |      |     |      |     |      |     |          |
| First DQS/DQS# rising edge after write leveling mode is programmed                  | tWLMRD   | 40   | -   | 40   | -   | 40   | -   | 40   | -   | nCK      |
| DQS/DQS# delay after write leveling mode is programmed                              | tWLDQSEN | 25   | -   | 25   | -   | 25   | -   | 25   | -   | nCK      |
| Write leveling setup time from rising CK, CK# crossing to rising DQS, DQS# crossing | tWLS     | 325  | -   | 245  | -   | 195  | -   | 165  | -   | ps       |
| Write leveling hold time from rising DQS, DQS# crossing to rising CK, CK# crossing  | tWLH     | 325  | -   | 245  | -   | 195  | -   | 165  | -   | ps       |
| Write leveling output delay   | tWLO     | 0    | 9   | 0    | 9   | 0    | 9   | 0    | 7.5 | ns       |
| Write leveling output error   | tWLOE    | 0    | 2   | 0    | 2   | 0    | 2   | 0    | 2   | ns       |

## 5.4 RGMII 接口特性

RGMII 共两个接口，均由一个供电电源（VDD\_3V3）供电，支持 3.3V 工作电压。

### 5.4.1 RGMII 接口直流特性

表 5-27 RGMII 接口输出特性

| 参数  | 描述                    | 典型 | 单位 |
|-----|-----------------------|----|----|
| Ioh | 输出高电平(VDDE-0.4V)时电流输出 | 12 | mA |
| Iol | 输出低电平(0.4V)时电流输入      | 12 | mA |



表 5-28 RGMII 接口输入特性

| 参数  | 描述      |         | 最小   | 最大  | 单位 |
|-----|---------|---------|------|-----|----|
| Vih | 输入高电平电压 | 3.3V 供电 | 2.0  | 3.6 | V  |
| Vil | 输入低电平电压 | 3.3V 供电 | -0.3 | 0.8 | V  |

### 5.4.2 RGMII 接口时序

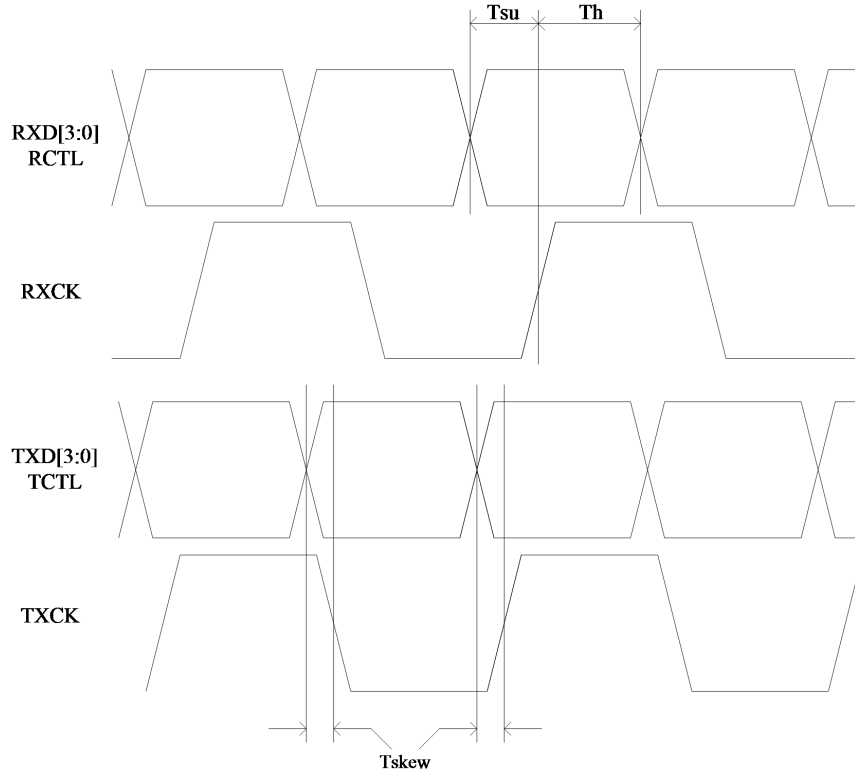


图 5.14 RGMII 接口时序

表 5-29 RGMII 接口时序

| 参数    | 描述                     | 最小   | 典型 | 最大   | 单位 |
|-------|------------------------|------|----|------|----|
| Tsu   | RX 信号建立时间              | 1    | -  | -    | ns |
| Th    | RX 信号保持时间              | 1    | -  | -    | ns |
| Tskew | TXCK 相对 TX 数据的偏移       | -500 | -  | +500 | ps |
| Tr    | TXD/TXCK 上升时间(10pf 负载) |      |    | 1.2  | ns |
| Tf    | TXD/TXCK 下降时间(10pf 负载) |      |    | 1.3  | ns |

### 5.5 USB 接口特性

下述表格源自 USB 2.0 规范，更多信息请参考其中第 7 章。



表 5-30 USB 直流电气特性

| Parameter  | Symbol  | Conditions         | Min. | Max. | Units |
|--|---------|--------------------|------|------|-------|
| <b>Input Levels for Low-/full-speed:</b>                                     |         |                    |      |      |       |
| High(driven)   | VIH     |                    | 2    |      | V     |
| High(floating)   | VIHZ    |                    | 2.7  | 3.6  | V     |
| Low  | VIL     |                    |      | 0.8  | V     |
| Differential Input Sensitivity   | VDI     | (D+)-(D-)          | 0.2  |      | V     |
| Differential Common Mode Range   | VCM     | Includes VDI range | 0.8  | 2.5  | V     |
| <b>Input Levels for High-speed:</b>  |         |                    |      |      |       |
| High-speed squelch detection threshold (differential signal amplitude)       | VHSSQ   |                    | 100  | 150  | mV    |
| High speed disconnect detection threshold (differential signal amplitude)    | VHSDSC  |                    | 525  | 625  | mV    |
| High-speed differential input signaling levels                               |         |                    |      |      |       |
| High-speed data signaling common mode voltage range(guide line for receiver) | VHSCM   |                    | -50  | 500  | mV    |
| <b>Output Levels for Low-/full-speed:</b>                                    |         |                    |      |      |       |
| Low  | VOL     |                    | 0    | 0.3  | V     |
| High(Driven)   | VOH     |                    | 2.8  | 3.6  | V     |
| SE1  | VOSE1   |                    | 0.8  |      | V     |
| Output Signal Crossover Voltage  | VCRS    |                    | 1.3  | 2    | V     |
| <b>Output Levels for High-speed:</b>   |         |                    |      |      |       |
| High-speed idle level  | VHSOI   |                    | -10  | 10   | mV    |
| High-speed data signaling high   | VHSOH   |                    | 360  | 440  | mV    |
| High-speed data signaling low  | VHSOL   |                    | -10  | 10   | mV    |
| Chirp J level(differential voltage)  | VCHIRPJ |                    | 700  | 1100 | mV    |
| Chirp K level(differential voltage)  | VCHIRPK |                    | -900 | -500 | mV    |
| <b>Decoupling Capacitance:</b>   |         |                    |      |      |       |
| Downstream Facing Port Bypass Capacitance (perhub)                           | CHPB    | VBUS to GND        | 120  |      | μF    |
| Upstream Facing Port Bypass Capacitance                                      | CRPB    | VBUS to GND        | 1    | 10   | μF    |
| <b>Input Capacitance for Low-/full-speed:</b>                                |         |                    |      |      |       |
| Downstream Facing Port   | CIND    |                    |      | 150  | pF    |
| Upstream Facing Port(w/ocable)   | CINUB   |                    |      | 100  | pF    |
| Transceiver edge rate control capacitance                                    | CEEDGE  |                    |      | 75   | pF    |
| <b>Input Impedance for High-speed:</b>                                       |         |                    |      |      |       |
| TDRspec for high-speed termination   |         |                    |      |      |       |



| <b>Terminations:</b>   |         |                        |       |       |            |
|--|---------|------------------------|-------|-------|------------|
| Bus Pull-up Resistor on Upstream Facing Port                       | RPU     | 1.5k $\Omega$ $\pm$ 5% | 1.425 | 1.575 | k $\Omega$ |
| Bus Pull-down Resistor on Downstream Facing Port                   | RPD     | 15k $\Omega$ $\pm$ 5%  | 14.25 | 15.75 | k $\Omega$ |
| Input impedance exclusive of pullup/pulldown (for low-/full-speed) | ZINP    |                        | 300   |       | k $\Omega$ |
| Termination voltage for upstream facing port pullup (RPU)          | VTERM   |                        | 3     | 3.6   | V          |
| <b>Terminations in High-speed:</b>                                 |         |                        |       |       |            |
| Termination voltage in high-speed                                  | VHSTERM |                        | -10   | 10    | mV         |

表 5-31 USB 高速源电气特性

| Parameter   | Symbol  | Conditions   | Min.     | Max.                   | Units    |
|---|---------|--|----------|------------------------|----------|
| <b>Driver Characteristics:</b>  |         |  |          |                        |          |
| Rise Time(10%-90%)  | THSR    |  | 500      |                        | ps       |
| Fall Time(10%-90%)  | THSF    |  | 500      |                        | ps       |
| <b>Driver waveform requirements</b>                                   |         |  |          |                        |          |
| Driver Output Resistance(which also serves as high-speed termination) | ZHSDRV  |  | 40.5     | 49.5                   | $\Omega$ |
| <b>Clock Timings:</b>   |         |  |          |                        |          |
| High-speed Data Rate  | THSDRAT |  | 479.76   | 480.24                 | Mb/s     |
| Micro frame Interval  | THSFRAM |  | 124.9375 | 125.0625               | $\mu$ s  |
| Consecutive Micro frame Interval Difference                           | THSRFI  |  |          | 4 high-speed bit times |          |
| <b>High-speed Data Timings:</b>                                       |         |  |          |                        |          |
| Data source jitter  |         | Source and receiver jitter specified by the eye pattern templates in Section 7.1.2.2 |          |                        |          |
| Receiver jitter tolerance   |         |  |          |                        |          |

表 5-32 USB 全速源电气特性

| Parameter  | Symbol   | Conditions       | Min.   | Max.   | Units    |
|--|----------|------------------|--------|--------|----------|
| <b>Driver Characteristics:</b>   |          |                  |        |        |          |
| Rise Time  | TFR      |                  | 4      | 20     | ns       |
| Fall Time  | TFF      |                  | 4      | 20     | ns       |
| Differential Rise and Fall Time Matching                               | TFRFM    | (TFR/TFF)        | 90     | 111.11 | %        |
| Driver Output Resistance for driver which is not high-speed capable    | ZDRV     |                  | 28     | 44     | $\Omega$ |
| <b>Clock Timings:</b>  |          |                  |        |        |          |
| Full-speed Data Rate for hubs and devices which are high-speed capable | TFDRATHS | Average bit rate | 11.994 | 12.006 | Mb/s     |
| Full-speed Data Rate for devices which are not high-speed capable      | TFDRATE  | Average bit rate | 11.97  | 12.03  | Mb/s     |





|   |                        |                     |        |        |    |
|---|------------------------|---------------------|--------|--------|----|
| Frame Interval  | TFRAME                 |                     | 0.9995 | 1.0005 | ms |
| Consecutive Frame Interval Jitter                           | TRFI                   | No clock adjustment |        | 42     | ns |
| <b>Full-speed Data Timings:</b>                             |                        |                     |        |        |    |
| Source Jitter Total(including frequency tolerance):         | To Next Transition     | TDJ1                | -3.5   | 3.5    | ns |
|   | For Paired Transitions | TDJ2                | -4     | 4      | ns |
| Source Jitter for Differential Transition to SE0 Transition | TFDEOP                 |                     | -2     | 5      | ns |
| Receiver Jitter:  | To Next Transition     | TJR1                | -18.5  | 18.5   | ns |
|   | For Paired Transitions | TJR2                | -9     | 9      | ns |
| Source SE0 interval of EOP                                  | TFEOPT                 |                     | 160    | 175    | ns |
| Receiver SE0 interval of EOP                                | TFEOPR                 |                     | 82     |        | ns |
| Width of SE0 interval during differential transition        | TFST                   |                     |        | 14     | ns |

表 5-33 USB 低速源电气特性

| Parameter  |                        | Symbol   | Min.    | Max.    | Units |
|--|------------------------|----------|---------|---------|-------|
| <b>Driver Characteristics:</b>   |                        |          |         |         |       |
| Transition Time:   | Rise Time              | TLR      | 75      | 300     | ns    |
|  | Fall Time              | TLF      | 75      | 300     | ns    |
| Rise and Fall Time Matching  |                        | TLRFM    | 80      | 125     | %     |
| Upstream Facing Port(w/cable, low-speed only)                                      |                        | CLINUA   | 200     | 450     | pF    |
| <b>Clock Timings:</b>  |                        |          |         |         |       |
| Low-speed Data Rate for hubs which are high-speed capable                          |                        | TLDRATHS | 1.49925 | 1.50075 | Mb/s  |
| Low-speed Data Rate for devices which are not high-speed capable                   |                        | TLDRATE  | 1.4775  | 1.5225  | Mb/s  |
| <b>Low-speed Data Timings:</b>   |                        |          |         |         |       |
| Upstream facing source Jitter Total(including frequency tolerance):                | To Next Transition     | TUDJ1    | -95     | 95      | ns    |
|  | For Paired Transitions | TUDJ2    | -150    | 150     | ns    |
| Upstream facing port source Jitter for Differential Transition to SE0 Transition   |                        | TLDEOP   | -40     | 100     | ns    |
| Upstream facing port differential Receiver Jitter:                                 | To Next Transition     | TDJR1    | -75     | 75      | ns    |
|  | For Paired Transitions | TDJR2    | -45     | 45      | ns    |
| Downstream facing port source Jitter Total(including frequency tolerance):         | To Next Transition     | TDDJ1    | -25     | 25      | ns    |
|  | For Paired Transitions | TDDJ2    | -14     | 14      | ns    |
| Downstream facing port source Jitter for Differential Transition to SE0 Transition |                        |          |         |         | ns    |
| Downstream facing port Differential Receiver Jitter:                               | To Next Transition     | TUJR1    | -152    | 152     | ns    |
|  | For Paired Transitions | TUJR2    | -200    | 200     | ns    |
| Source SE0 interval of EOP   |                        | TLEOPT   | 1.25    | 1.5     | μs    |
| Receiver SE0 interval of EOP   |                        | TLEOPR   | 670     |         | ns    |
| Width of SE0 interval during differential transition                               |                        | TLST     |         | 210     | ns    |



## 5.6 SPI Flash 接口特性

表 5-34 SPI Flash 接口时序

| 参数    | 描述              | 最小     | 典型 | 最大 | 单位 |
|-------|-----------------|--------|----|----|----|
| T_ckh | SCK 时钟高电平时间     | 0.5T-1 | -  | -  | ns |
| T_ckl | SCK 时钟低电平时间     | 0.5T-1 | -  | -  | ns |
| T_val | SCK 下降沿到数据输出的延迟 | -5     | -  | 5  | ns |
| T_su  | 数据输入建立时间        | 20     | -  | -  | ns |
| T_h   | 数据输入保持时间        | 0      | -  | -  | ns |

注：T 为 SCK 时钟周期

## 5.7 I2C 接口特性

表 5-35 I2C 接口时序

| 参数    | 描述                     | 最小 | 典型 | 最大 | 单位 |
|-------|------------------------|----|----|----|----|
| T_ckh | SCL 时钟高电平时间            | 4  | -  | -  | us |
| T_ckl | SCL 时钟低电平时间            | 5  | -  | -  | us |
| T_val | SCL 下降沿到数据输出的延迟        | 5  | -  | -  | us |
| T_su  | 数据建立时间(SDA 变化到 SCL 上升) | 0  | -  | -  | us |
| T_h   | 数据保持时间(SCL 下降到 SDA 变化) | 0  | -  | -  | us |

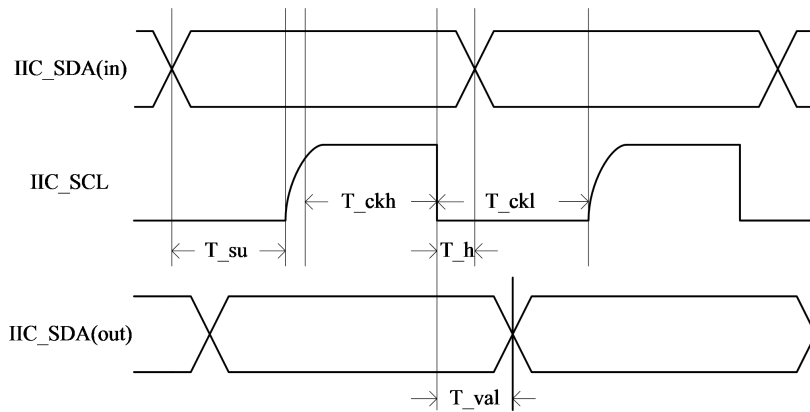


图 5.15 I2C 接口时序



## 6 热特性

### 6.1 热参数

表 6-1 热特性参数和推荐的最大值

| Parameter     | Value   |
|---------------|---------|
| TDP Max Power | 5 Watts |
| Rth(J-C)      | 6 °C/W  |
| Tj            | 125 °C  |

### 6.2 焊接温度

表 6-2 回流焊接温度分类表

| Profile Feature   |   | Pb-Free Assembly |
|---|---|------------------|
| Average ramp-up rate (T <sub>smax</sub> to T <sub>p</sub> ) |   | 3°C/second max.  |
| Preheat   | Temperature Min (T <sub>smin</sub> )                | 150 °C           |
|   | Temperature Max (T <sub>smax</sub> )                | 200 °C           |
|   | Time (T <sub>smin</sub> to T <sub>smax</sub> ) (ts) | 60-180 seconds   |
| Time maintained above                                       | Temperature (T <sub>L</sub> )                       | 217 °C           |
|   | Time (t <sub>L</sub> )                              | 60-150 seconds   |
| Peak Temperature (T <sub>p</sub> )                          |   | 245°C            |
| Time within 5°C of actual Peak Temperature (tp)2            |   | 20-40 seconds    |
| Ramp-down Rate  |   | 6 °C/second max. |
| Time 25°C to Peak Temperature                               |   | 8 minutes max.   |



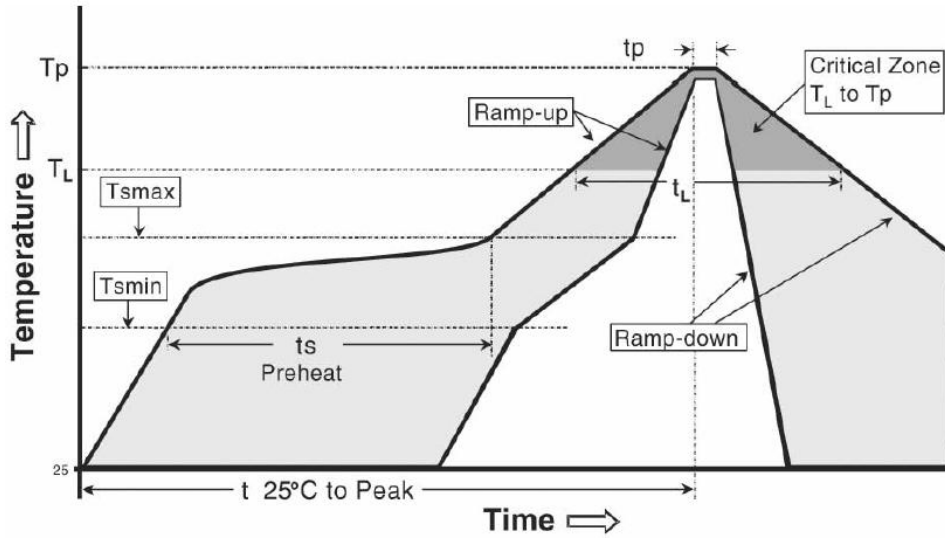


图 6.1 焊接回流曲线



## 7 芯片引脚排列和封装

### 7.1 引脚顶层排列

|    | 1            | 2            | 3            | 4            | 5             | 6             | 7             | 8             | 9             | 10            | 11            | 12           | 13           | 14           | 15           | 16            | 17           | 18             | 19           | 20           | 21           | 22          | 23          |          |
|----|--------------|--------------|--------------|--------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|--------------|--------------|--------------|--------------|---------------|--------------|----------------|--------------|--------------|--------------|-------------|-------------|----------|
| A  |              | VSS          | DDR_DQ03     | DDR_DQSP_0   | DDR_DQ00      | DDR_DQ00      | DDR_DQ15      | VSS           | DDR_DQSS_1    | DDR_DQ11      | DDR_DQ09      | DDR_DQ01     | DDR_BA2      | DDR_A05      | DDR_A08      | VSS           | DDR_BA1      | DDR_CKPO       | DDR_REXT     | DDR_DQ16     | DDR_DQSP_2   | VSS         | VSS         |          |
| B  | VSS          | DDR_DQ07     | DDR_DQ05     | DDR_DQSN_0   | DDR_DQ02      | DDR_DQ01      | DDR_DQ12      | DDR_DQ13      | DDR_DQSP_1    | DDR_DQ10      | DDR_DQ06      | DDR_RESE_TX  | DDR_A09      | VSS          | DDR_A02      | DDR_A03       | DDR_BA0      | DDR_CRNO       | DDR_CASN     | DDR_DQ02     | DDR_DQSN_2   | DDR_DQ19    | VSS         |          |
| C  | SCA_AFED_07  | DDR_DQ01     | DDR_DQ06     | VSS          | SCA_UART_RX   | VSS           | DDR_DQ14      | SCA_C1SC_LK1  | <DUMMY_N_ET>  | DDR_A14       | VSS           | DDR_CKED     | DDR_A07      | DDR_A05      | <DUMMY_N_ET> | DDR_A00       | DDR_RASN     | <DUMMY_N_ET>   | VSS          | DDR_WEN      | DDR_DQ17     | DDR_DQ21    | DDR_DQ23    |          |
| D  | SCA_AFED_06  | SCA_AFED_09  | SCA_SPL_CLK  | SCA_SPL_MOS1 | SCA_UART_TX   | VSS           | <DUMMY_N_ET>  | VSS           | <DUMMY_N_ET>  | SCA_C1SP_WM   | DDR_A13       | <DUMMY_N_ET> | DDR_A04      | VSS          | <DUMMY_N_ET> | DDR_A10       | DDR_SCNS_0   | <DUMMY_N_ET>   | VSS          | <DUMMY_N_ET> | DDR_DQ18     | DDR_DQ20    | DDR_DQ22    |          |
| E  | VSS          | SCA_AFED_04  | VSS          | SCA_SPL_CS   | <DUMMY_N_ET>  | VSS           | SCA_C1SC_LK2  | SCA_C1SC_LK7  | <DUMMY_N_ET>  | SCA_C1SP_LS   | DDR_A15       | <DUMMY_N_ET> | DDR_A11      | DDR_A01      | <DUMMY_N_ET> | <DUMMY_N_ET>  | <DUMMY_N_ET> | DDR_ODT0       | <DUMMY_N_ET> | DDR_ODT0     | VSS          | DDR_DQ24    | VSS         |          |
| F  | SCA_AFED_LK  | SCA_AFED_00  | SCA_AFED_02  | SCA_AFED_05  | SCA_SPL_MISO  | VSS           | VSS           | VDDIO_00R     | VDDIO_00R     | VDDIO_00R     | VDDIO_00R     | VDDIO_00R    | VDDIO_00R    | VDDIO_00R    | VDDIO_00R    | VDDIO_00R     | VSS          | <DUMMY_N_ET>   | DDR_VREP     | <DUMMY_N_ET> | DDR_DQ03     | DDR_DQ25    | DDR_DQ26    |          |
| G  | SCA_PM11_003 | SCA_PM11_011 | SCA_AFED_01  | SCA_PM11_013 | VSS           | SCA_AFEP_LS   | <DUMMY_N_ET>  | <DUMMY_N_ET>  | VSS           | <DUMMY_N_ET>  | VSS           | <DUMMY_N_ET> | VSS          | <DUMMY_N_ET> | VSS          | NC_DDR_S_CS01 | NC_DDR_0_DT1 | VSS            | <DUMMY_N_ET> | <DUMMY_N_ET> | VSS          | DDR_DQ27    | VSS         |          |
| H  | SCA_PM11_010 | SCA_PM11_009 | SCA_PM11_014 | SCA_PM11_015 | SCA_PM11_012  | VSS           | <DUMMY_N_ET>  | VSS           | <DUMMY_N_ET>  | VSS           | <DUMMY_N_ET>  | VSS          | <DUMMY_N_ET> | VSS          | <DUMMY_N_ET> | VSS           | <DUMMY_N_ET> | VSS            | SDI01_CLK_R  | SDI01_CLK_R  | <DUMMY_N_ET> | DDR_DQ28    | DDR_DQ29    |          |
| J  | SCA_PM11_006 | SCA_PM11_006 | SCA_PM11_007 | SCA_PM11_004 | VSS           | <DUMMY_N_ET>  | <DUMMY_N_ET>  | <DUMMY_N_ET>  | VSS           | VDD_CORE      | VSS           | VDD_CORE     | VSS          | VDD_CORE     | VSS          | VDD_CORE      | VSS          | VDD_CORE       | SDI01_DATA1  | SDI01_CMD    | <DUMMY_N_ET> | DDR_DQ29    | DDR_DQ31    |          |
| K  | SYS_D0TE_STN | SCA_PM11_000 | SCA_PM11_002 | SCA_PM11_001 | SCA_PM11_003  | VDD_OSC_RTC   | VDD_CORE_RTC  | VSS           | VDD_CORE_RTC  | VSS           | VDD_CORE      | VSS          | VDD_CORE     | VSS          | VDD_CORE     | VSS           | VDD_CORE     | VSS            | SDI01_DATA0  | VSS          | SDI01_DATA1  | DDR_DQ30    | DDR_DQ28    |          |
| L  | RTC_X0       | RTC_X1       | VSS          | DCHOUT2      | DCHOUT3       | VSS_RTC       | <DUMMY_N_ET>  | VDD_3V3_DAC   | VSS           | VDD_CORE      | VSS           | VDD_CORE     | VSS          | VDD_CORE     | VSS          | VDD_CORE      | VSS          | <DUMMY_N_ET>   | <DUMMY_N_ET> | VSS          | SDI01_DATA3  | SDI00_DATA3 | SDI00_DATA3 | SYS_TEST |
| M  | DCHOUT0      | DCHOUT1      | <DUMMY_N_ET> | VSS          | <DUMMY_N_ET>  | VSS           | AIC_1REF_IN   | <DUMMY_N_ET>  | VSS           | VDD_CORE      | VSS           | VDD_CORE     | VSS          | VDD_CORE     | VSS          | VDD_CORE      | VSS          | VDD_CORE       | SDI00_CMD    | SDI00_DATA0  | SDI00_DATA2  | EJTAG_TR    | EJTAG_TR    | EJTAG_TD |
| N  | VSS          | <DUMMY_N_ET> | <DUMMY_N_ET> | <DUMMY_N_ET> | VSS           | VSS           | VSS           | <DUMMY_N_ET>  | VSS           | VDD_CORE      | VSS           | VDD_CORE     | VSS          | VDD_CORE     | VSS          | VDD_CORE      | VSS          | <DUMMY_N_ET>   | <DUMMY_N_ET> | VSS          | SDI00_CMD    | EJTAG_TR    | EJTAG_TR    | EJTAG_SE |
| P  | <DUMMY_N_ET> | <DUMMY_N_ET> | <DUMMY_N_ET> | <DUMMY_N_ET> | VSS           | <DUMMY_N_ET>  | <DUMMY_N_ET>  | VSS           | VDD_CORE      | VSS           | VDD_CORE      | VSS          | VDD_CORE     | VSS          | VDD_CORE     | VSS           | VDD_CORE     | VSS            | SDI00_CMD    | SDI00_DATA0  | SDI00_DATA2  | EJTAG_TR    | EJTAG_SE    | EJTAG_SE |
| R  | <DUMMY_N_ET> | <DUMMY_N_ET> | <DUMMY_N_ET> | PRT_PM01_018 | VSS           | <DUMMY_N_ET>  | <DUMMY_N_ET>  | VSS           | VDD_CORE      | VSS           | VDD_CORE      | VSS          | VDD_CORE     | VSS          | VDD_CORE     | VSS           | VDD_CORE     | VSS            | SDI00_CMD    | SDI00_DATA0  | SDI00_DATA2  | EJTAG_TR    | EJTAG_SE    |          |
| T  | VSS          | <DUMMY_N_ET> | PRT_PM01_015 | PRT_PM01_021 | VSS           | VSS_LVDS      | VDD_3V3_LVDS  | VSS           | VDD_3V3       | VSS           | VDD_3V3       | VSS          | VDD_3V3      | VSS          | VDD_3V3      | VSS           | VDD_3V3      | VSS            | UART1_TX_D   | PM21000      | PM21001      | SP10_MOS_I  | SP11_MOS_I  |          |
| U  | <DUMMY_N_ET> | <DUMMY_N_ET> | PRT_PM01_021 | PRT_PM01_023 | <DUMMY_N_ET>  | <DUMMY_N_ET>  | <DUMMY_N_ET>  | VSS           | VDD_3V3       | VSS           | VDD_3V3       | VSS          | VDD_3V3      | VSS          | VDD_3V3      | VSS           | VDD_3V3      | VSS            | UART1_TX_D   | PM21000      | PM21002      | SP10_MIS_0  | SP10_MIS_0  |          |
| V  | PRT_PM01_029 | PRT_PM01_020 | PRT_PM01_025 | PRT_PM01_020 | PRT_PM01_010  | PRT_PM01_021  | PRT_PM01_022  | <DUMMY_N_ET>  | SYSRESET_N    | <DUMMY_N_ET>  | VDD_3V3_ET    | VSS          | GMAC0_RX_CLK | GMAC0_MD_0   | VSS          | USB_X01       | USB_X10      | USB_X00        | VSS          | PM21014      | PM21004      | PM21015     | USB0_OC     | SP10_CLK |
| W  | VSS          | PRT_PM01_028 | VSS          | PRT_PM01_019 | VSS           | PRT_PM01_022  | VSS           | VSS           | PRT_UART_RX   | PRT_L2C0_SCL  | PRT_SPL_MISO  | GMAC0_RX_DL  | GMAC0_MD_0   | <DUMMY_N_ET> | OTG_OC       | OTG_X0        | OTG_X0       | GMAC1_TX_CLK_I | VSS          | PM21008      | PM21006      | PM21011     | USB1_OC     |          |
| Y  | PRT_PM01_026 | PRT_PM01_027 | PRT_PM01_016 | PRT_PM01_009 | PRT_PM01_004  | PRT_PM01_000  | PRT_I2C1_SDA  | PRT_I2C1_SCL  | PRT_UART_TX   | PRT_SPL_CS    | PRT_SPL_CLK   | GMAC0_RX_DL  | GMAC0_MD_0   | GMAC0_TX_DL  | OTG_OC       | OTG_X1        | VDD_DDR_P11  | VDD_DDR_P11    | VSS          | PM21008      | PM21006      | PM21011     | USB1_OC     |          |
| AA | PRT_PM01_022 | PRT_PM01_017 | PRT_PM01_013 | PRT_PM01_005 | PRT_PM01_007  | VSS           | PLTRSTN       | VSS           | VSS           | PRT_SPL_CS    | PRT_SPL_CLK   | GMAC0_RX_DL  | GMAC0_MD_0   | GMAC0_TX_DL  | OTG_VBUS     | USB_TART_0BE9 | VDD_S0A_P11  | VDD_S0A_P11    | VSS          | PM21008      | PM21013      | PM21010     | PM21012     |          |
| AB | VSS          | PRT_PM01_014 | PRT_PM01_008 | PRT_PM01_006 | PRT_VID0_UT13 | PRT_VID0_UT15 | PRT_VID0_UT09 | PRT_VID0_UT05 | PRT_VID0_UT01 | PRT_VID0_UT07 | PRT_VID0_UT03 | SYSCLK       | GMAC0_RX_DL  | GMAC0_TX_DL  | OTG_DP       | OTG_DP        | OTG_DP       | OTG_DP         | OTG_DP       | OTG_DP       | OTG_DP       | OTG_DP      | OTG_DP      |          |
| AC | VSS          | VSS          | PRT_PM01_011 | VSS          | PRT_VID0_UT12 | PRT_VID0_UT14 | PRT_VID0_UT08 | PRT_VID0_UT04 | PRT_VID0_UT00 | PRT_VID0_UT10 | PRT_VID0_UT06 | GMAC0_RC_TL  | VSS          | GMAC0_TX_DL  | VSS          | OTG_DM        | OTG_ID       | OTG_ID         | OTG_ID       | OTG_ID       | OTG_ID       | OTG_ID      | OTG_ID      |          |

图 7.1 顶层引脚排布总览



表 7-1 顶层引脚排列

|    | 1           | 2           | 3           | 4            | 5            |
|----|-------------|-------------|-------------|--------------|--------------|
| A  |             | VSS         | DDR_DQ03    | DDR_DQSP0    | DDR_DQM0     |
| B  | VSS         | DDR_DQ07    | DDR_DQ05    | DDR_DQSN0    | DDR_DQ02     |
| C  | SCA_AFED07  | DDR_DQ04    | DDR_DQ06    | VSS          | SCA_UART_RX  |
| D  | SCA_AFED06  | SCA_AFED03  | SCA_SPI_CLK | SCA_SPI_MOSI | SCA_UART_TX  |
| E  | VSS         | SCA_AFED04  | VSS         | SCA_SPI_CSN  | <DUMMY_NET>  |
| F  | SCA_AFECLK  | SCA_AFED00  | SCA_AFED02  | SCA_AFED05   | SCA_SPI_MISO |
| G  | SCA_PM1IO08 | SCA_PM1IO11 | SCA_AFED01  | SCA_PM1IO13  | VSS          |
| H  | SCA_PM1IO10 | SCA_PM1IO09 | SCA_PM1IO14 | SCA_PM1IO15  | SCA_PM1IO12  |
| J  | SCA_PM1IO06 | SCA_PM1IO05 | SCA_PM1IO07 | SCA_PM1IO04  | VSS          |
| K  | SYS_DOTESTN | SCA_PM1IO00 | SCA_PM1IO02 | SCA_PM1IO01  | SCA_PM1IO03  |
| L  | RTC_XO      | RTC_XI      | VSS         | DCHOUT2      | DCHOUT3      |
| M  | DCHOUT0     | DCHOUT1     | <DUMMY_NET> | VSS          | <DUMMY_NET>  |
| N  | VSS         | <DUMMY_NET> | <DUMMY_NET> | <DUMMY_NET>  | VSS          |
| P  | <DUMMY_NET> | <DUMMY_NET> | <DUMMY_NET> | <DUMMY_NET>  | VSS          |
| R  | <DUMMY_NET> | <DUMMY_NET> | <DUMMY_NET> | PRT_PM0IO24  | PRT_PM0IO18  |
| T  | VSS         | <DUMMY_NET> | PRT_PM0IO15 | PRT_PM0IO21  | VSS          |
| U  | <DUMMY_NET> | <DUMMY_NET> | PRT_PM0IO31 | PRT_PM0IO23  | PRT_PM0IO12  |
| V  | PRT_PM0IO29 | PRT_PM0IO30 | PRT_PM0IO25 | PRT_PM0IO20  | PRT_PM0IO10  |
| W  | VSS         | PRT_PM0IO28 | VSS         | PRT_PM0IO19  | VSS          |
| Y  | PRT_PM0IO26 | PRT_PM0IO27 | PRT_PM0IO16 | PRT_PM0IO09  | PRT_PM0IO04  |
| AA | PRT_PM0IO22 | PRT_PM0IO17 | PRT_PM0IO13 | PRT_PM0IO05  | PRT_PM0IO07  |
| AB | VSS         | PRT_PM0IO14 | PRT_PM0IO08 | PRT_PM0IO06  | PRT_VIDOUT13 |
| AC | VSS         | VSS         | PRT_PM0IO11 | VSS          | PRT_VIDOUT12 |



|           | 6            | 7            | 8            | 9            | 10           |
|-----------|--------------|--------------|--------------|--------------|--------------|
| <b>A</b>  | DDR_DQ00     | DDR_DQ15     | VSS          | DDR_DQSN1    | DDR_DQ11     |
| <b>B</b>  | DDR_DQ01     | DDR_DQ12     | DDR_DQ13     | DDR_DQSP1    | DDR_DQ10     |
| <b>C</b>  | VSS          | DDR_DQ14     | SCA_CISCLK1  | <DUMMY_NET>  | DDR_A14      |
| <b>D</b>  | VSS          | <DUMMY_NET>  | VSS          | <DUMMY_NET>  | SCA_CISPWM   |
| <b>E</b>  | VSS          | SCA_CISCLK0  | SCA_CISCLK2  | <DUMMY_NET>  | SCA_CISPLS   |
| <b>F</b>  | VSS          | VSS          | VDDIO_DDR    | VDDIO_DDR    | VDDIO_DDR    |
| <b>G</b>  | SCA_AFEPLS   | <DUMMY_NET>  | <DUMMY_NET>  | VSS          | <DUMMY_NET>  |
| <b>H</b>  | VSS          | <DUMMY_NET>  | VSS          | <DUMMY_NET>  | VSS          |
| <b>J</b>  | <DUMMY_NET>  | <DUMMY_NET>  | <DUMMY_NET>  | VSS          | VDD_CORE     |
| <b>K</b>  | VDD_OSC_RTC  | VDD_CORE_RTC | VSS          | VDD_CORE     | VSS          |
| <b>L</b>  | VSS_RTC      | <DUMMY_NET>  | VDD_3V3_DAC  | VSS          | VDD_CORE     |
| <b>M</b>  | <DUMMY_NET>  | <DUMMY_NET>  | VSS_DAC      | VDD_CORE     | VSS          |
| <b>N</b>  | <DUMMY_NET>  | <DUMMY_NET>  | VSS          | VSS          | VDD_CORE     |
| <b>P</b>  | <DUMMY_NET>  | <DUMMY_NET>  | VSS          | VDD_CORE     | VSS          |
| <b>R</b>  | <DUMMY_NET>  | VSS          | <DUMMY_NET>  | VSS          | VDD_CORE     |
| <b>T</b>  | VSS_LVDS     | VDD_3V3_LVDS | VSS          | VDD_3V3      | VSS          |
| <b>U</b>  | <DUMMY_NET>  | <DUMMY_NET>  | <DUMMY_NET>  | <DUMMY_NET>  | VSS          |
| <b>V</b>  | PRT_PM0IO01  | PRT_PM0IO03  | <DUMMY_NET>  | SYSRESETN    | <DUMMY_NET>  |
| <b>W</b>  | PRT_PM0IO02  | VSS          | VSS          | PRT_UART_RX  | PRT_I2C0_SCL |
| <b>Y</b>  | PRT_PM0IO00  | PRT_I2C1_SDA | PRT_I2C1_SCL | PRT_UART_TX  | PRT_SPI_MISO |
| <b>AA</b> | VSS          | PLTRSTN      | VSS          | VSS          | PRT_SPI_CSN  |
| <b>AB</b> | PRT_VIDOUT15 | PRT_VIDOUT09 | PRT_VIDOUT05 | PRT_VIDOUT01 | PRT_VIDOUT11 |
| <b>AC</b> | PRT_VIDOUT14 | PRT_VIDOUT08 | PRT_VIDOUT04 | PRT_VIDOUT00 | PRT_VIDOUT10 |



|           | 11           | 12           | 13          | 14          | 15          |
|-----------|--------------|--------------|-------------|-------------|-------------|
| <b>A</b>  | DDR_DQ09     | DDR_DQM1     | DDR_BA2     | DDR_A06     | DDR_A08     |
| <b>B</b>  | DDR_DQ08     | DDR_RESETN   | DDR_A09     | VSS         | DDR_A02     |
| <b>C</b>  | VSS          | DDR_CKE0     | DDR_A07     | DDR_A05     | <DUMMY_NET> |
| <b>D</b>  | DDR_A12      | <DUMMY_NET>  | DDR_A04     | VSS         | <DUMMY_NET> |
| <b>E</b>  | DDR_A15      | <DUMMY_NET>  | DDR_A11     | DDR_A01     | <DUMMY_NET> |
| <b>F</b>  | VDDIO_DDR    | VDDIO_DDR    | VDDIO_DDR   | VDDIO_DDR   | VDDIO_DDR   |
| <b>G</b>  | VSS          | <DUMMY_NET>  | VSS         | <DUMMY_NET> | VSS         |
| <b>H</b>  | <DUMMY_NET>  | VSS          | <DUMMY_NET> | VSS         | <DUMMY_NET> |
| <b>J</b>  | VSS          | VDD_CORE     | VSS         | VDD_CORE    | VSS         |
| <b>K</b>  | VDD_CORE     | VSS          | VDD_CORE    | VSS         | VDD_CORE    |
| <b>L</b>  | VSS          | VDD_CORE     | VSS         | VDD_CORE    | VSS         |
| <b>M</b>  | VDD_CORE     | VSS          | VDD_CORE    | VSS         | VDD_CORE    |
| <b>N</b>  | VSS          | VDD_CORE     | VSS         | VDD_CORE    | VSS         |
| <b>P</b>  | VDD_CORE     | VSS          | VDD_CORE    | VSS         | VDD_CORE    |
| <b>R</b>  | VSS          | VDD_CORE     | VSS         | VDD_CORE    | VSS         |
| <b>T</b>  | VDD_3V3      | VSS          | VDD_3V3     | VSS         | VDD_3V3     |
| <b>U</b>  | VSS          | <DUMMY_NET>  | VDD_3V3_USB | VDD_3V3_USB | USB_XO1     |
| <b>V</b>  | <DUMMY_NET>  | VSS          | <DUMMY_NET> | VSS         | USB_XI1     |
| <b>W</b>  | PRT_I2C0_SDA | GMAC0_RX_CLK | GMAC0_TCTL  | <DUMMY_NET> | OTG_OC      |
| <b>Y</b>  | PRT_SPI_MOSI | GMAC0_RXD1   | GMAC0_MDIO  | GMAC0_TXD3  | VSS         |
| <b>AA</b> | PRT_SPI_CLK  | GMAC0_RXD0   | GMAC0_RXD2  | GMAC0_TXD1  | OTG_VBUS    |
| <b>AB</b> | PRT_VIDOUT07 | PRT_VIDOUT03 | SYSCLK      | GMAC0_RXD3  | GMAC0_TXD2  |
| <b>AC</b> | PRT_VIDOUT06 | PRT_VIDOUT02 | GMAC0_RCTL  | VSS         | GMAC0_TXD0  |





|           | 16             | 17             | 18           | 19           |
|-----------|----------------|----------------|--------------|--------------|
| <b>A</b>  | VSS            | DDR_BA1        | DDR_CKP0     | DDR_REXT     |
| <b>B</b>  | DDR_A03        | DDR_BA0        | DDR_CKN0     | DDR_CASN     |
| <b>C</b>  | DDR_A00        | DDR_RASN       | <DUMMY_NET>  | VSS          |
| <b>D</b>  | DDR_A10        | DDR_SCSN0      | <DUMMY_NET>  | DDR_A13      |
| <b>E</b>  | <DUMMY_NET>    | VSS            | <DUMMY_NET>  | DDR_ODT0     |
| <b>F</b>  | VDDIO_DDR      | VSS            | <DUMMY_NET>  | DDR_VREF     |
| <b>G</b>  | NC_DDR_SCSN1   | NC_DDR_ODT1    | VSS          | <DUMMY_NET>  |
| <b>H</b>  | VSS            | <DUMMY_NET>    | VSS          | <DUMMY_NET>  |
| <b>J</b>  | <DUMMY_NET>    | <DUMMY_NET>    | VSS          | SDIO1_DATA1  |
| <b>K</b>  | VSS            | <DUMMY_NET>    | VSS          | SDIO1_DATA0  |
| <b>L</b>  | <DUMMY_NET>    | <DUMMY_NET>    | VSS          | VSS          |
| <b>M</b>  | VSS            | <DUMMY_NET>    | SDIO0_CMD    | SDIO0_DATA0  |
| <b>N</b>  | <DUMMY_NET>    | <DUMMY_NET>    | VSS          | VSS          |
| <b>P</b>  | VSS            | VSS            | VSS          | UART0_RXD    |
| <b>R</b>  | <DUMMY_NET>    | <DUMMY_NET>    | VSS          | UART0_TXD    |
| <b>T</b>  | VSS            | VSS            | VSS          | UART1_TXD    |
| <b>U</b>  | VDD_3V3_THSEN  | VSS            | VSS          | VSS          |
| <b>V</b>  | USB_XI0        | USB_XO0        | VSS          | PM2IO14      |
| <b>W</b>  | OTG_XO         | GMAC1_TX_CLK_I | VSS_NODE_PLL | GMAC1_RX_CLK |
| <b>Y</b>  | OTG_XI         | VDD_NODE_PLL   | VDD_DDR_PLL  | VSS_DDR_PLL  |
| <b>AA</b> | USB_TXRTUNE0   | VDD_1V1_USB    | USB_TXRTUNE1 | VDD_SOC_PLL  |
| <b>AB</b> | GMAC0_TX_CLK_O | GMAC0_TX_CLK_I | OTG_DP       | OTG_TXRTUNE  |
| <b>AC</b> | GMAC0_MDCK     | VSS            | OTG_DM       | OTG_ID       |



|    | 20             | 21          | 22          | 23          |
|----|----------------|-------------|-------------|-------------|
| A  | DDR_DQ16       | DDR_DQSP2   | VSS         | VSS         |
| B  | DDR_DQM2       | DDR_DQSN2   | DDR_DQ19    | VSS         |
| C  | DDR_WEN        | DDR_DQ17    | DDR_DQ21    | DDR_DQ23    |
| D  | <DUMMY_NET>    | DDR_DQ18    | DDR_DQ20    | DDR_DQ22    |
| E  | <DUMMY_NET>    | VSS         | DDR_DQ24    | VSS         |
| F  | <DUMMY_NET>    | DDR_DQM3    | DDR_DQ25    | DDR_DQ26    |
| G  | <DUMMY_NET>    | VSS         | DDR_DQ27    | VSS         |
| H  | SDIO1_CLK      | <DUMMY_NET> | DDR_DQSP3   | DDR_DQSN3   |
| J  | SDIO1_CMD      | <DUMMY_NET> | DDR_DQ29    | DDR_DQ31    |
| K  | VSS            | SDIO1_DATA2 | DDR_DQ30    | DDR_DQ28    |
| L  | SDIO1_DATA3    | SDIO0_DATA1 | SDIO0_DATA3 | SYS_TESTCLK |
| M  | SDIO0_DATA2    | EJTAG_TCK   | EJTAG_TMS   | EJTAG_TDO   |
| N  | SDIO0_CLK      | EJTAG_TRST  | EJTAG_TDI   | EJTAG_SEL   |
| P  | I2C0_SDA       | I2C0_SCL    | I2C1_SCL    | I2C1_SDA    |
| R  | UART1_RXD      | SPI1_CSN    | SPI1_MISO   | SPI1_CLK    |
| T  | PM2IO00        | PM2IO01     | SPI0_MOSI   | SPI1_MOSI   |
| U  | PM2IO03        | PM2IO02     | SPI0_CSN    | SPI0_MISO   |
| V  | PM2IO04        | PM2IO15     | USB0_OC     | SPI0_CLK    |
| W  | PM2IO09        | PM2IO06     | PM2IO11     | USB1_OC     |
| Y  | GMAC1_TX_CLK_O | PM2IO08     | VSS         | PM2IO05     |
| AA | VSS_SOC_PLL    | PM2IO13     | PM2IO10     | PM2IO12     |
| AB | USB0_DP        | USB1_DP     | PM2IO07     | VSS         |
| AC | USB0_DM        | USB1_DM     | VSS         | VSS         |



## 7.2 封装尺寸

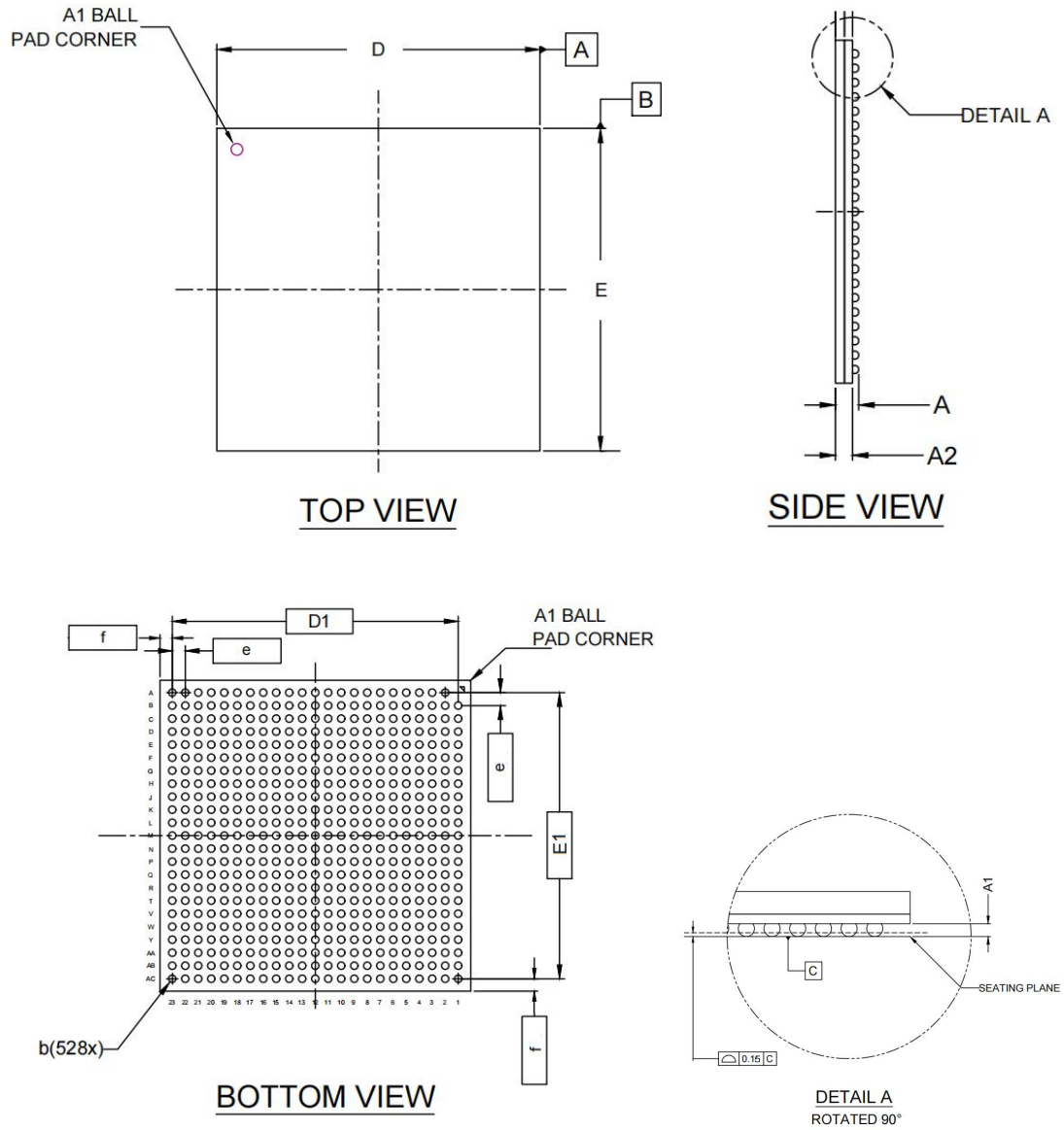


图 7.2 封装外形图



表 7-2 封装外形尺寸

单位为毫米

| 尺寸符号  | 最小    | 公称     | 最大    |
|-------|-------|--------|-------|
| A     | 1.06  | -      | 1.26  |
| A1    | 0.26  | -      | 0.36  |
| A2    | 0.78  | -      | 0.92  |
| D/E   | 16.90 | -      | 17.10 |
| D1/E1 | -     | 15.646 | -     |
| b     | 0.35  | -      | 0.45  |
| e     | -     | 0.71   | -     |
| f     | -     | 0.68   | -     |
| ddd   | -     | -      | 0.15  |

NOTE:

1. DIMENSIONS ARE IN MILLIMETERS.
2. ALL DIMENSIONS AND TOLERANCE CONFORM TO ASME Y14.5M-2009.
3. TERMINAL POSMONS DESIGNATION PER JESD 95.
4. REFLOW BALL DIAMETER.
5. DIMENSION “b” IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER PARALLEL TO PRIMARY DATUM C.
6. RAW SOLDER BALL SIZE DURING ASSEMBLY IS  $\phi 0.50\text{MM}$ .



## 8 不使用引脚的处理

不使用的引脚需按以下原则处理：

表 8-1 不使用引脚推荐处理表

|         |   |
|---------|---|
| 信号组     | 不使用的处理方式                                  |
| JTAG    | JTAG_TRST/TDI 需 10Kohm 下拉，其它信号可悬空         |
| 时钟配置    | 必须正确连接                                    |
| 电源地     | 电源地不可悬空<br>USB不使用时，相关电源可接地<br>其它电源地必须正确连接 |
| 其他不使用引脚 | 输出信号均可悬空，输入信号必须通过 10Kohm电阻接地              |
| NC引脚    | 必须悬空处理                                    |



## 9 产品标识

产品标识如图 9-1 所示。



图 9.1 产品标识图

每一产品应标志以下内容：

- a) ●：定位点；
- b) A：器件状态标识：空白：供货产品；
- c) LS2P0500：器件型号“LS2P0500”；B：器件等级：-i 或空白；
- d) CHN YYWW VV：厂商信息一；
- e) HTAAAAAANNNN：厂商信息二、识别号；
- f) LOONGSON®：厂商信息三；
- g) 二维码（右上角）：与 d) 信息相同。

